



#13

Docket No. 500.40528X00

- IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s) : KAGEYAMA, et al

Serial No.: 09/932,113

Filed: August 20, 2001

Title: IMAGE DISPLAY APPARATUS AND DRIVING METHOD  
THEROF

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

September 28, 2001

Sir:

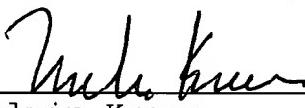
Under the provisions of 35 USC 119 and 37 CFR 1.55, the  
applicant(s) hereby claim(s) the right of priority based on:

Japanese Patent Application No. 2001-183615  
Filed: June 18, 2001

A certified copy of said Japanese Patent Application is  
attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

  
\_\_\_\_\_  
Melvin Kraus  
Registration No. 22,466

MK/gfa  
Attachment



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2001年 6月18日

出願番号

Application Number:

特願2001-183615

出願人

Applicant(s):

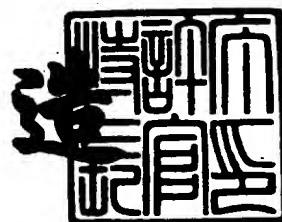
株式会社日立製作所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 8月17日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕



出証番号 出証特2001-3073679

【書類名】 特許願

【整理番号】 PE28202

【提出日】 平成13年 6月18日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号

株式会社日立製作所 日立研究所内

【氏名】 景山 寛

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号

株式会社日立製作所 日立研究所内

【氏名】 秋元 肇

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号

株式会社日立製作所 日立研究所内

【氏名】 三上 佳朗

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100098017

【弁理士】

【氏名又は名称】 吉岡 宏嗣

【手数料の表示】

【予納台帳番号】 055181

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特2001-183615

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置及びその駆動方法

【特許請求の範囲】

【請求項1】 複数の信号線と複数の走査線がマトリクス状に配置されるとともに各信号線と各走査線とが互いに交差する交差点近傍の各領域にスイッチ素子を介して前記各信号線と前記各走査線に接続された画素を有する画像表示手段と、アナログ値による階調電圧が表示階調に対応して印加された階調電圧線群と、デジタル値による高階調の画像データに従って前記いずれかの階調電圧線を選択するためのスイッチ駆動信号を出力するデコーダ手段と、前記画像データに従ってトリガ信号を順次出力するトリガ信号出力手段と、前記トリガ信号の入力を条件に前記スイッチ駆動信号に応答して指定の階調電圧線を選択し前記指定の階調電圧線からの階調電圧を指定の信号線に出力する複数のスイッチ手段とを備えてなる画像表示装置。

【請求項2】 請求項1項に記載の画像表示装置において、前記デコーダ手段は複数に分割され、各分割されたデコーダ手段は相対向して配置されてなることを特徴とする画像表示装置。

【請求項3】 請求項1または2に記載の画像表示装置において、前記デコーダ手段には前記スイッチ駆動信号を伝送する複数のスイッチ駆動線が接続され、前記トリガ信号出力手段には前記トリガ信号を伝送する複数のトリガ線が接続され、前記複数のスイッチ手段にはそれぞれ指定の階調電圧を指定の信号線に伝送する出力線が接続されてなることを特徴とする画像表示装置。

【請求項4】 請求項3に記載の画像表示装置において、前記複数のスイッチ駆動線と前記階調電圧線群は、前記複数のトリガ線と前記各出力線にそれぞれ交差して配置されてなることを特徴とする画像表示装置。

【請求項5】 請求項4に記載の画像表示装置において、前記階調電圧線群は、それぞれ前記複数のスイッチ駆動線に沿って並列に配置されてなることを特徴とする画像表示装置。

【請求項6】 請求項4に記載の画像表示装置において、前記階調電圧線群の1本の階調電圧線に対して、1本のスイッチ駆動線が並列に配置されてなるこ

とを特徴とする画像表示装置。

【請求項7】 請求項4に記載の画像表示装置において、前記階調電圧線群の1本の階調電圧線に対して、前記1本の階調電圧線を間にして2本のスイッチ駆動線が並列に配置されてなることを特徴とする画像表示装置。

【請求項8】 請求項3、4、5、6または7のうちいずれか1項に記載の画像表示装置において、前記階調電圧線群と前記複数のスイッチ駆動線は、同じ配線層に形成されてなることを特徴とする画像表示装置。

【請求項9】 請求項3、4、5、6、7または8のうちいずれか1項に記載の画像表示装置において、前記複数のトリガ線と前記各出力線は、同じ配線層に形成されてなることを特徴とする画像表示装置。

【請求項10】 請求項3、4、5、6、7、8または9のうちいずれか1項に記載の画像表示装置において、前記各出力線と前記複数の信号線との間には、前記各出力線から出力電圧を複数の信号線に分配する分配手段が配置されてなることを特徴とする画像表示装置。

【請求項11】 請求項8に記載の画像表示装置において、前記階調電圧線群と前記複数のスイッチ駆動線は、アルミニウムあるいは銅による配線材料で形成されてなることを特徴とする画像表示装置。

【請求項12】 請求項1～11のうちいずれか1項に記載の画像表示装置において、表示階調数をnとしたときに、前記階調電圧線群の配線本数は、n以上で2n以下であることを特徴とする画像表示装置。

【請求項13】 請求項1～12のうちいずれか1項に記載の画像表示装置において、前記画像表示手段と、前記階調電圧線群と、前記複数のスイッチ手段および前記トリガ信号出力手段は、同一の基板上に形成されてなることを特徴とする画像表示装置。

【請求項14】 請求項13に記載の画像表示装置において、前記デコーダ手段は、前記基板の表面に接着あるいは前記基板の周辺に配置されてなることを特徴とする画像表示装置。

【請求項15】 請求項1～12のうちいずれか1項に記載の画像表示装置において、前記画像表示手段と、前記階調電圧線群と、前記複数のスイッチ手段

と、前記デコーダ手段および前記トリガ信号出力手段は、同一の基板上に形成されてなることを特徴とする画像表示装置。

【請求項16】 請求項1～15のうちいずれか1項に記載の画像表示装置において、前記トリガ信号出力手段は、シフトレジスタ回路を用いて形成されてなることを特徴とする画像表示装置。

【請求項17】 請求項1～16のうちいずれか1項に記載の画像表示装置において、前記複数のスイッチ手段は、前記トリガ信号の入力により導通して前記スイッチ駆動信号を伝送する第1の薄膜トランジスタと、前記第1の薄膜トランジスタの出力によるスイッチ駆動信号により導通して階調電圧を前記出力線に伝送する第2の薄膜トランジスタとをそれぞれ備えてなることを特徴とする画像表示装置。

【請求項18】 請求項17に記載の画像表示装置において、前記複数のスイッチ手段は、前記第1の薄膜トランジスタの出力によるスイッチ駆動信号を保持するコンデンサをそれぞれ備えてなることを特徴とする画像表示装置。

【請求項19】 請求項18に記載の画像表示装置において、前記コンデンサは、前記階調電圧線群のいずれか一つの階調電圧線と、前記階調電圧線群とは異なる配線層に形成された電極とをオーバラップさせて形成した静電容量であることを特徴とする画像表示装置。

【請求項20】 請求項17に記載の画像表示装置において、前記複数のスイッチ手段は、前記第1の薄膜トランジスタの出力によるスイッチ駆動信号を少なくとも1ビットの情報として記憶する記憶手段をそれぞれ備えてなることを特徴とする画像表示装置。

【請求項21】 請求項17、18、19または20のうちいずれか1項に記載の画像表示装置において、前記複数のスイッチ手段は、各スイッチ駆動線と各トリガ線とが互いに交差する交差点近傍の領域毎にそれぞれ配置されてなることを特徴とする画像表示装置。

【請求項22】 請求項17、18、19、20または21のうちいずれか1項に記載の画像表示装置において、前記第1の薄膜トランジスタと前記第2の薄膜トランジスタは、前記階調電圧線の階調電圧が前記スイッチ駆動線の信号電

圧に対して相対的に低いときにはnチャネル薄膜トランジスタを用いて形成され、前記階調電圧線の階調電圧が前記スイッチ駆動線の信号電圧に対して相対的に高いときにはpチャネル薄膜トランジスタを用いて形成されてなることを特徴とする画像表示装置。

【請求項23】 請求項17、18、19、20、21または22のうちいずれか1項に記載の画像表示装置において、前記複数のスイッチ手段は、前記スイッチ駆動信号を増幅する電圧レベル変換手段をそれぞれ備えてなることを特徴とする画像表示装置。

【請求項24】 請求項23のうちいずれか1項に記載の画像表示装置において、前記電圧レベル変換手段に特定の電圧や共通の信号を供給する配線をそれぞれ前記階調電圧線群に並列に配置してなることを特徴とする画像表示装置。

【請求項25】 請求項1～24のうちいずれか1項に記載の画像表示装置において、前記階調電圧群にそれぞれ相異なる電圧を印加する電圧発生手段を備えてなることを特徴とする画像表示装置。

【請求項26】 請求項1～24のうちいずれか1項に記載の画像表示装置において、前記電圧発生手段は、電圧源に直列接続された複数のラダー抵抗で構成されてなることを特徴とする画像表示装置。

【請求項27】 請求項25または26に記載の画像表示装置において、前記電圧発生手段は、前記画像表示手段と、前記階調電圧線群と、前記複数のスイッチ手段および前記トリガ信号出力手段とともに同一の基板上に形成されてなることを特徴とする画像表示装置。

【請求項28】 請求項1～27のうちいずれか1項に記載の画像表示装置において、前記画素は、透明な絶縁基板を含む一対の基板間に挟持された液晶を備え、前記画素に接続されたスイッチ素子からの電圧に対応して前記液晶の光透過率が変化してなることを特徴とする画像表示装置。

【請求項29】 請求項1～27のうちいずれか1項に記載の画像表示装置において、前記画素は、絶縁基板上に形成された発光膜を備え、前記画素に接続されたスイッチ素子からの電圧に対応して前記発光膜の発光強度が変化してなることを特徴とする画像表示装置。

【請求項30】 請求項1～29のうちいずれか1項に記載の画像表示装置において、前記複数の走査線に順次走査パルス信号を出力する走査手段を備えてなることを特徴とする画像表示装置。

【請求項31】 請求項1～30のうちいずれか1項に記載の画像表示装置を駆動するに際して、前記デコーダ手段が前記複数のスイッチ駆動線にスイッチ駆動信号を出力する際の駆動周波数を、前記トリガ信号出力手段が前記トリガ信号を出力する際の駆動周波数の2倍以上に設定することを特徴とする画像表示装置の駆動方法。

【請求項32】 請求項31に記載の画像表示装置の駆動方法において、前記デコーダ手段に入力される階調データに関する同時のデータの切り替わりは2以下であって、前記デコーダ手段は前記階調データに従って单一のスイッチ駆動線を選択するためのスイッチ駆動信号を順次出力することを特徴とする画像表示装置の駆動方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、画像表示装置およびその駆動方法に係り、特に、多階調のデジタル信号にしたがって画像を表示するに好適な画像表示装置およびその駆動方法に関する。

##### 【0002】

##### 【従来の技術】

従来、画像表示装置として、各種画像表示するための表示領域に、複数の信号線と複数の走査線とをマクリクス状に配置するとともに各信号線と各走査線とが互いに交差する交差点近傍の各領域にスイッチ素子を介して各信号線と各走査線に接続された画素を配置し、非表示領域に、走査線を駆動するための走査回路や信号線を駆動するための駆動回路を配置するようにしたもののが知られている。駆動回路としては、例えば、Extended Abstracts of the 1997 International Conference on Solid State Devices and Materials p.p.

348-349 Fig 2 nに記載されているように、6ビット64階調のデジタル信号を入力し、このデジタル信号にしたがって64階調の電圧を発生するよう構成されている。

#### 【0003】

具体的には、この駆動回路は、シフトレジスタ、データバス、2個のラッチ、DA変換回路を備えて構成されており、シフトレジスタと一方のラッチとの間に6ビットのバイナリデータを転送するためのデータバスが配置され、一方のラッチが各データバスに接続されている。この場合、一本の信号線を駆動するためのラッチは6系統に分かれしており、各系統の入力側がそれぞれデータバスに接続されている。すなわちデータバスと一方のラッチとは6本の線で接続されている。そして6本のデータバスに入力された6ビットのバイナリデータは、シフトレジスタから出力されるラッチパレスによって一方のラッチに記憶され、全てのラッチにデータが記憶されたあと、ラッチパルスによって一方のラッチに記憶されたデータが他方のラッチに転送されて記憶されるようになっている。他方のラッチに記憶されたデータは再びラッチされるまで保持され、他方のラッチに記憶されたデータはDA変換回路で64種類の階調電圧のうち1つの階調電圧に変換され、変換された1つの階調電圧が信号線に出力されるようになっている。

#### 【0004】

##### 【発明が解決しようとする課題】

画像表示装置に駆動回路を内蔵する場合、画像表示装置の表示階調数、つまりデータのビット数が多くなると、データ線の増加に伴って駆動回路の作成範囲が大きくなる。しかし、表示階調数の増加に合わせて駆動回路の作成範囲を大きくしたのでは、非表示領域が大きくなるので、駆動回路の作成範囲を制限する必要がある。例えば、カラー縦ストライプの画素で、200画素/インチの精細度の画像表示装置を実現するには、信号線の間隔は、 $2.54\text{ mm} \div 200 \div 3\text{ 色} \approx 42\mu\text{m}$ であり、この間に、1本の信号線を駆動するための回路を配置する必要がある。

#### 【0005】

ところが、200画素/インチの精細度の画像表示装置を実現するために、従

來の構成を採用したときには、配線数が多いため、信号線の間隔を要求された寸法にすることができない。

#### 【0006】

すなわち、従来技術では、データバスと一方のラッチとを6本の線で接続し、一方のラッチと他方のラッチとを6本の線で接続し、他方のラッチとDA変換回路とを6本の線で接続し、6ビットのバイナリデータをDA変換回路に転送する構成になっている。しかも、薄膜トランジスタ（以下、TFTと称する。）のゲート電極に使われるゲートメタル、TFTのソース電極、ドレイン電極と接続する配線メタルの2種類が使われ、3種類以上を使うことは工程数が増え、コストが高くなるので一般的には好ましくない。このため、2つのラッチを間にしデータバスとDA変換回路とを結ぶ6本の配線（縦方向の配線）と、この縦方向の配線とDA変換回路において交差する方向に配線された横方向の階調電圧線群とをそれぞれ一層の配線層を用いることになり、縦方向の6本の配線はオーバーラップできず、並列に配線することが余儀なくされる。したがって、レイアウトルールとしてスペース $4\ \mu m$ 、配線 $4\ \mu m$ の場合、6本配線するために、 $(4+4) \times 6\text{本} = 48\ \mu m$ の幅が必要になり、要求されている線幅である $42\ \mu m$ を超えててしまう。

#### 【0007】

また、TFTの個数も階調数の増加に大きく影響され、データのビット数がkビットの場合、DA変換回路だけで、TFTの個数が $k \times 2$ のk乗個（6ビットの場合、384個）のTFTを配置する必要がある。さらに、kビットのラッチ回路を2回路分配置するためには、 $1\ \mu m$ 以下のレイアウトルールで形成しない限り現実的には不可能である。

#### 【0008】

また、画像表示装置に内蔵する駆動回路は、消費電力をできる限り抑える必要がある。すなわち、画像表示装置の消費電力は適用製品のバッテリーによる稼動時間などに大きく関わるからである。駆動回路で消費される電力の1つにデータバスで消費される消費電力がある。データバスは外部からの入力データをラッチに伝える機能を果たす。データバスはデータ転送速度が高速であり、最も消費電

力の大きな配線の1つである。このデータバスでの消費電力は配線容量、データの変化回数および信号電圧の二乗に比例するので、データバスの電力を減らすには、配線容量、データの変化回数、信号電圧を削減することが有効である。データバスの配線容量のうち、配線交差容量が大きな容量を示す。

#### 【0009】

ここで、データバスの配線数を  $k$  とすると、従来技術のように、データバスから一方のラッチにデータを取り出す箇所で、1信号線当たり、データバス同士の交差による配線交差部として  $k - 1$  箇所（6ビットでは5箇所）の交差が必要になる。またデータの変化回数（“0”のデータが“1”に変化するかまたは“1”のデータが“0”のデータに変化する回数）は、データバスの配線本数を  $k$  としたとき、1データ当たりの平均のデータ変化は  $k/2$ （6ビットでは3）となり、最大のデータ変化回数は  $k$ （6ビットでは6）となる。

#### 【0010】

本発明の課題は、高精細で多階調な画像を表示するための表示領域に対して非表示領域の占有面積をより小さくすることができる画像表示装置およびその駆動方法を提供することにある。

#### 【0011】

##### 【課題を解決するための手段】

前記課題を解決するために、本発明は、複数の信号線と複数の走査線がマトリクス状に配置されているとともに各信号線と各走査線とが互いに交差する交差点近傍の各領域にスイッチ素子を介して前記各信号線と前記各走査線に接続された画素を有する画像表示手段と、アナログ値による階調電圧が表示階調に対応して印加された階調電圧線群と、デジタル値による高階調の画像データに従って前記いずれかの階調電圧線を選択するためのスイッチ駆動信号を出力するデコーダ手段と、前記画像データに従ってトリガ信号を順次出力するトリガ信号出力手段と、前記トリガ信号の入力を条件に前記スイッチ駆動信号に応答して指定の階調電圧線を選択し前記指定の階調電圧線からの階調電圧を指定の信号線に出力する複数のスイッチ手段とを備えてなる画像表示装置を構成したものである。

#### 【0012】

前記画像表示装置を構成するに際しては、以下の要素を付加することができる

【0013】

(1) 前記デコーダ手段は複数に分割され、各分割されたデコーダ手段は相対向して配置されてなる。

【0014】

(2) 前記デコーダ手段には前記スイッチ駆動信号を伝送する複数のスイッチ駆動線が接続され、前記トリガ信号出力手段には前記トリガ信号を伝送する複数のトリガ線が接続され、前記複数のスイッチ手段にはそれぞれ指定の階調電圧を指定の信号線に伝送する出力線が接続されてなる。

【0015】

(3) 前記複数のスイッチ駆動線と前記階調電圧線群は、前記複数のトリガ線と前記各出力線にそれぞれ交差して配置されてなる。

【0016】

(4) 前記階調電圧線群は、それぞれ前記複数のスイッチ駆動線に沿って並列に配置されてなる。

【0017】

(5) 前記階調電圧線群の1本の階調電圧線に対して、1本のスイッチ駆動線が並列に配置されてなる。

【0018】

(6) 前記階調電圧線群の1本の階調電圧線に対して、前記1本の階調電圧線を間に2本のスイッチ駆動線が並列に配置されてなる。

【0019】

(7) 前記階調電圧線群と前記複数のスイッチ駆動線は、同じ配線層に形成されてなる。

【0020】

(8) 前記複数のトリガ線と前記各出力線は、同じ配線層に形成されてなる。

【0021】

(9) 前記各出力線と前記複数の信号線との間には、前記各出力線から出力電

圧を複数の信号線に分配する分配手段が配置されてなる。

【0022】

(10) 前記階調電圧線群と前記複数のスイッチ駆動線は、アルミニウムあるいは銅による配線材料で形成されてなる。

【0023】

(11) 表示階調数を  $n$  としたときに、前記階調電圧線群の配線本数は、 $n$  以上で  $2n$  以下である。

【0024】

(12) 前記画像表示手段と、前記階調電圧線群と、前記複数のスイッチ手段および前記トリガ信号出力手段は、同一の基板上に形成されてなる。

【0025】

(13) 前記デコーダ手段は、前記基板の表面に接着あるいは前記基板の周辺に配置されてなる。

【0026】

(14) 前記画像表示手段と、前記階調電圧線群と、前記複数のスイッチ手段と、前記デコーダ手段および前記トリガ信号出力手段は、同一の基板上に形成されてなる。

【0027】

(15) 前記トリガ信号出力手段は、シフトレジスタ回路を用いて形成されてなる。

【0028】

(16) 前記複数のスイッチ手段は、前記トリガ信号の入力により導通して前記スイッチ駆動信号を伝送する第1の薄膜トランジスタと、前記第1の薄膜トランジスタの出力によるスイッチ駆動信号により導通して階調電圧を前記出力線に伝送する第2の薄膜トランジスタとをそれぞれ備えてなる。

【0029】

(17) 前記複数のスイッチ手段は、前記第1の薄膜トランジスタの出力によるスイッチ駆動信号を保持するコンデンサをそれぞれ備えてなる。

【0030】

(18) 前記コンデンサは、前記階調電圧線群のいずれか一つの階調電圧線と、前記階調電圧線群とは異なる配線層に形成された電極とをオーバラップさせて形成した静電容量である。

【0031】

(19) 前記複数のスイッチ手段は、前記第1の薄膜トランジスタの出力によるスイッチ駆動信号を少なくとも1ビットの情報として記憶する記憶手段をそれぞれ備えてなる。

【0032】

(20) 前記複数のスイッチ手段は、各スイッチ駆動線と各トリガ線とが互いに交差する交差点近傍の領域毎にそれぞれ配置されてなる。

【0033】

(21) 前記第1の薄膜トランジスタと前記第2の薄膜トランジスタは、前記階調電圧線の階調電圧が前記スイッチ駆動線の信号電圧に対して相対的に低いときにはnチャネル薄膜トランジスタを用いて形成され、前記階調電圧線の階調電圧が前記スイッチ駆動線の信号電圧に対して相対的に高いときにはpチャネル薄膜トランジスタを用いて形成されてなる。

【0034】

(21) 前記複数のスイッチ手段は、前記スイッチ駆動信号を増幅する電圧レベル変換手段をそれぞれ備えてなる。

【0035】

(22) 前記電圧レベル変換手段に特定の電圧や共通の信号を供給する配線をそれぞれ前記階調電圧線群に並列に配置してなる。

【0036】

(23) 前記階調電圧群にそれぞれ相異なる電圧を印加する電圧発生手段を備えてなる。

【0037】

(24) 前記電圧発生手段は、電圧源に直列接続された複数のラダー抵抗で構成されてなる。

【0038】

(25) 前記電圧発生手段は、前記画像表示手段と、前記階調電圧線群と、前記複数のスイッチ手段および前記トリガ信号出力手段とともに同一の基板上に形成されてなる。

【0039】

(26) 前記画素は、透明な絶縁基板を含む一対の基板間に挟持された液晶を備え、前記画素に接続されたスイッチ素子からの電圧に対応して前記液晶の光透過率が変化してなる。

【0040】

(27) 前記画素は、絶縁基板上に形成された発光膜を備え、前記画素に接続されたスイッチ素子からの電圧に対応して前記発光膜の発光強度が変化してなる。

【0041】

(28) 前記複数の走査線に順次走査パルス信号を出力する走査手段を備えてなる。

【0042】

(29) 前記デコーダ手段が前記複数のスイッチ駆動線にスイッチ駆動信号を出力する際の駆動周波数を、前記トリガ信号出力手段が前記トリガ信号を出力する際の駆動周波数の2倍以上に設定する。

【0043】

(30) 前記デコーダ手段に入力される階調データに関する同時のデータの切り替わりは2以下であって、前記デコーダ手段は前記階調データに従って单一のスイッチ駆動線を選択するためのスイッチ駆動信号を順次出力する。

【0044】

前記した手段によれば、階調データをアナログ信号に変換するためのデジタル・アナログ変換機能と信号線を選択するための機能をデコード手段に持たせ、デコーダ手段の出力によるスイッチ駆動信号とトリガ信号出力手段の出力によるトリガ信号にしたがって指定の階調電圧線を選択し、選択した階調電圧線からの階調電圧を指定の信号線に出力するようにしたため、高精細で多階調な画像を表示するための表示領域に対して、信号線を駆動するために非表示領域に配置された

駆動回路の占有面積をより小さくすることができる。

#### 【0045】

また、単一の階調電圧線を選択するためにデコーダ手段を用いているため、スイッチ駆動線のうちデータの変化するスイッチ駆動線は最大2であり、データの変化回数が少なくなり、データが変化するごとに配線間の容量が充放電しても、変化回数の低減によって消費電力を少なくすることができる。

#### 【0046】

さらに、多階調の画像を表示するに際して、交差配線、つまり交差配線容量を少なくすることができるので、高速な信号が伝送されるスイッチ駆動線での電力の消費を少なくすることができる。

#### 【0047】

##### 【発明の実施の形態】

以下、本発明の一実施形態を図面に基づいて説明する。図1は本発明の一実施形態を示す画像表示装置の要部構成図である。図1において、絶縁基板1の上には、シフトレジスタ2、デコーダ3、DA変換部4、走査回路5、表示領域6が形成されている。表示領域6は、高精細で多階調の画像を表示するための領域として形成されており、この表示領域6には、複数の信号線S1～S6、複数の走査線G1～G2がマトリクス状に配線され、各信号線と各走査線とが互いに交差する交差点近傍の各領域にスイッチ素子としての画素TFT7、画素8が形成されている。画素TFT7のゲート電極は走査線G1～G2に接続され、ソース電極は各信号線S1～S6に接続され、ドレイン電極は画素8にそれぞれ接続されている。

#### 【0048】

なお、本実施形態においては、説明を簡単にするために、信号線として6本、走査線として2本、画素TFT7、画素8として $6 \times 2$ 個のものを示しているが、これらの個数は、実際には画素8の個数によって決まるようになっている。例えば、画像表示装置の表示情報量がカラーVGAの場合、画素8、および画素TFT7の個数は $640 \times 480 \times 3$ （赤、緑、青）個であるから、信号線は $640 \times 3$ （赤、緑、青）本、走査線は480本である。

## 【0049】

表示領域6に対して、非表示領域には、各走査線G1、G2に順次走査パルスを出力する走査回路5が設けられるとともに、信号線S1～S6を駆動するための駆動回路としてシフトレジスタ2、デコーダ3、DA変換部4が形成されている。

## 【0050】

DA変換部4は、多階調の階調データをアナログ値による階調電圧に変換するために、階調電圧線群としてn本の階調電圧線LV1～LVn、 $2 \times n$ 本のスイッチ駆動線D1-1～Dn-1、D1-2～Dn-2、トリガ線Q1～Q3、出力線X1～X6を備えて構成されており、スイッチ駆動線D1-1～Dn-1、D1-2～Dn-2はデコーダ3の出力部に、トリガ線Q1～Q3はレジスタ2の出力部に、出力線X1～X6は信号線S1～S6にそれぞれ接続されている。

## 【0051】

スイッチ駆動線と階調電圧線の配置の関係は、任意の自然数*i* ≤ nに対して、*i*番目の階調電圧線LV*i*の両側にスイッチ駆動線D*i*-1とD*i*-2が並行して配置されている。すなわち、1本の階調電圧線に対してその両側に2本のスイッチ駆動線が配置されており、各スイッチ駆動線間の領域を有効に活用するようになっている。

## 【0052】

さらに各スイッチ駆動線に対してトリガ線Q1～Qnが交差する方向に配線されているとともに、1本のトリガ線に対して2本の出力線が並行に配置されており、トリガ線Q1～Q3、出力線X1～X6と各スイッチ駆動線または階調電圧線とが交差する交差点近傍の領域にそれぞれスイッチ回路SWが設けられている。

## 【0053】

階調電圧線LV1～LVnには表示階調に対応した階調電圧として、相異なる電圧V1～Vnが印加されている。各階調電圧線は、例えば、アルミニウムあるいは銅を用いた低抵抗率の配線材料を用いて構成されており、各階調電圧線の端末は電圧発生手段に接続されている。

## 【0054】

この電圧発生手段としては、例えば、図2に示すように、階調数と等しいn個の電圧源によって電圧を発生するものを用いることができる。また図3に示すように、電圧V1、Vnを発生する電圧源の間にラダー抵抗21を複数個直列に接続し、複数のラダー抵抗21によって電圧を分圧し、電圧V1、Vn、および分圧された電圧をそれぞれ階調電圧V1～Vnとして順次階調電圧線LV1～LVnに印加するものを用いることができる。なお、階調電圧線LV1～LVnを並べる順番や供給する電圧V1～Vnの順番は特に限定されるものではない。

## 【0055】

スイッチ回路SWは、nチャネルのTFTtr1、nチャネルのTFTtr2、コンデンサ（静電容量）Cmを備えて構成されている。TFTtr1は第1の薄膜トランジスタとして、ゲート電極がトリガ線Q1に、ソース電極が階調電圧線D1-1に、ドレイン電極が容量Cmの一端に接続されており、トリガ線Q1を伝送するトリガ信号に同期して導通し、スイッチ駆動線D1-1のデータ（スイッチ駆動信号）をコンデンサCmにサンプリングする構成になっている。コンデンサCmは1ビットのデータを記憶する記憶手段として他方の端子が階調電圧線LV1に接続されており、交流的に接地に近い状態を形成している。

## 【0056】

なお、交流的に接地に近い条件が得られない場合は、図4に示すように、コンデンサCmの一方の端子を階調電圧線LV1とは別に、接地配線22に接続する構成を採用することもできる。

## 【0057】

TFTtr1のドレイン電極は、第2の薄膜トランジスタとしてのTFTtr2のゲート電極に接続されている。TFTtr2のソース電極とドレイン電極はそれぞれ階調電圧線LV1と出力線X1に接続されており、コンデンサCmにサンプリングされたデータによってON/OFF制御されるスイッチを構成している。すなわち、TFTtr2は、コンデンサCmに高い電圧が印加されているときにはON（導通）し、低い電圧が印加されているときにはOFF（非導通）になる。

## 【0058】

スイッチ回路SWは、トリガ信号の入力を条件に、スイッチ駆動線からのデータ（スイッチ駆動信号）に応答して指定の階調電圧線LV1を選択し、指定の階調電圧線LV1からの階調電圧V1を、出力線X1を介して信号線S1に出力するスイッチ手段として構成されている。なお、出力線X1～X6、スイッチ駆動線D1-1～Dn-1、D1-2～Dn-2の全ての交点にマトリクス状に配置されたスイッチ回路も同様に構成されている。

## 【0059】

デコーダ3は、デジタル値による多階調の画像データ（nビットの画像データ、例えば、6ビット64階調の画像データ）にしたがっていずれかの階調電圧線を選択するためのスイッチ駆動信号を出力するデコーダ手段として構成されており、本実施形態におけるデコーダ3は、多階調の画像データにしたがって2本のスイッチ駆動線に“1”のデータ（スイッチ駆動信号）を出力するために、2系統分のデータ線Data-1、Data-2から画像データが入力されるようになっている。

## 【0060】

すなわち、デコーダ3は、図5に示すように、2つのデコーダ11、12を備えて構成されており、各デコーダ11、12は入力端子A-1、A-2にそれぞれデータ線Data-1、Data-2から高階調の画像データが入力されたときに、図6に示す論理にしたがって、2系統の出力端子Y1-1～Yn-1、Y1-2～Yn-2のうち、各系統毎に单一の出力端子にのみ“1”的信号（スイッチ駆動信号）を出力し、他の出力端子には“0”的信号を出力するようになっている。

## 【0061】

なお、“1”は高い電圧を、“0”は低い電圧を意味する。また、入力inはバイナリデータである。またinに入力するデータは説明を分かりやすくするために、1からnまで表しているが、n種類ある符号であればどの符号でもよく、例えば、0から(n-1)までの数字を用いることもできる。またデコーダ3の入力には入力端子としてA-1とA-2の2系統あるが、デコーダ11、12の

入力端子の前にセパレータを設けて1系統にすることもできる。

#### 【0062】

また、デコーダ3を1箇所にまとめて配置しているが、デコーダ11、12を、DA変換部4を間にしてその両側に配置することもできる。また、デコーダ3としては、図7に示すように、外部IC23として、絶縁基板1の外部に配置し、フレキシブルケーブル(FPC)24を介して絶縁基板1と外部IC23とを接続する構成を採用することもできる。また、外部IC23を絶縁基板1の表面上に直接実装することもできる。

#### 【0063】

シフトレジスタ2は、画像データに同期してトリガ信号を順次出力するトリガ信号出力手段として、例えば、図8に示すように、インバータ、クロックドインバータ、ANDゲートを用いて構成されている。インバータ、クロックドインバータ、ANDゲートは、図9(a)～(c)に示すように、TFTを用いた回路によって構成することができる。このシフトレジスタ2は、図10に示すように、クロックCKと逆相クロックCKNおよびスタートパルスSTに応答して、ANDゲートから順次トリガ信号(トリガパルス)q1、q2、q3を順次発生するようになっている。なお、シフトレジスタ2の回路では、トリガパルスq1～q3が順次出力されるが、この順番は入力データと信号線との関係で決まるものであり、この順番は特に限定されるものではない。

#### 【0064】

走査回路5は、例えば、シフトレジスタ2と同様の回路で構成され、走査線G1～G2に走査パルス信号を順次出力する走査手段として構成されている。

#### 【0065】

DA変換部4のスイッチ回路SWに用いるTFTとしてnチャネルのものを用いるものについて述べたが、図11に示すように、DA変換部4にnチャネルTFTを用いたスイッチ回路SWと、pチャネルTFTを用いたスイッチ回路SWpを混在させる構成を採用することができる。すなわち、階調電圧線LViの階調電圧がスイッチ駆動線Diの信号電圧に対して比較的低い場合はnチャネルTFTtr2を用い、階調電圧LVjの階調電圧がスイッチ駆動線Djの信号電圧

に対して比較的高い場合はpチャネルTFT tr2pを用いることで、スイッチ駆動線の信号電源を低く抑えることができる。この場合、pチャネルTFTを用いたスイッチ回路SWpをデコーダ3に接続するに際しては、デコーダ3の出力論理を反転するために、デコーダ3とスイッチ回路SWpとの間にインバータ25を設けるか、あるいはデコーダ3内部で論理を反転する構成を採用することができる。

#### 【0066】

次に、画像表示装置を液晶表示装置として用いる場合、表示領域6に配置される画素8は、図1.2に示すように、画素TFT7でサンプリングされた電圧を保持するコンデンサ27と、絶縁基板1と相対向して配置される基板（透明基板）との間に挟まれた液晶層29によって構成することができる。コンデンサ27は、一端が接地線28に接続されており、画素TFT7でサンプリングされた電圧を1フレーム期間安定に保持することができる。液晶層29の一端はコモン電極30に接続されており、コンデンサ27に保持された電圧とコモン電極30に印加される電圧Vcとの差電圧を液晶層29に印加することで、液晶層（液晶）29の光透過率が変化し、画像を表示することができる。

#### 【0067】

一方、画像表示装置を自発光型表示装置として用いる場合、画素8は、図1.3に示すように、画素TFT7でサンプリングされた電圧を保持するコンデンサ31と、画素TFT7でサンプリングされた電圧を電流に変換する電圧電流変換回路32、発光層33で構成することができる。コンデンサ31と発光層33の一端はそれぞれ接地線34に接続され、電圧電流変換回路32には電源線35から電圧が印加されている。電源線35と接地線34との間に外部から電圧が印加されたときに、サンプリングされた電圧がコンデンサ31に保持されると、保持された電圧に対応して発光層33の発光強度が変化し、画像を表示することができる。

#### 【0068】

表示領域6に画像を表示するに際しては、画像表示装置の各回路は図1.4に示すように動作する。まず、デコーダ3に多階調の画像データとして、データ線D

*a t a - 1* に奇数番目の画像データが入力され、データ線 *D a t a - 2* には偶数番目の画像データが入力される。例えば、表示領域 6 に表示すべき横 1 行の画像データ #1～#6 が左から右に順に [2, 3, 4, 2, 1, n] の場合、データ線 *D a t a - 1* には、[2, 4, 1]、データ線 *D a t a - 2* には [3, 2, n] の順に画像データが入力される。画像データがデコーダ 3 でデコードされると、画像データによって選択されたスイッチ駆動線として、スイッチ駆動線 *D 1 - 1*～*D n - 1* のうち 1 本が “1” になるとともに、スイッチ駆動線 *D 1 - 2*～*D n - 2* のうち 1 本が “1” になる。この画像データの入力に同期して、シフトレジスタ 2 からは、トリガ線 *Q 1*～*Q 3* に順次トリガパルスが出力される。トリガパルスが順次出力されると、トリガ線 *Q 1*～*Q 3* に接続された *n* チャネル TFT *t r 1* が ON となり、スイッチ駆動線のデータが順次サンプリングされ、各トリガ線 *Q 1*～*Q 3* に接続されたスイッチ回路 *SW* のうち、スイッチ駆動線に “1” のデータが記憶され、スイッチ駆動線に “0” のデータが出力されたスイッチ回路 *SW* には “0” のデータが記憶され、これらのデータは再びタンプリングされるまで保持される。その間、“1” のデータを記憶したスイッチ回路 *SW* の TFT *t r 2* が ON になり、階調電圧線 *L V 1*～*L V n* のうち、“1” のデータを記憶したスイッチ回路 *SW* に接続された階調電圧線の階調電圧が出力線に出力される。

#### 【0069】

すなわち、時間 *t 0* から始まるトリガパルスにしたがって、出力線 *X 1*～*X 6* には順次階調電圧が出力され、各階調電圧は信号線 *S 1*～*S 6* に供給される。そして最初のトリガパルスがトリガ線 *Q 3* から発生する時間 *t 1* で全ての信号線 *S 1*～*S 6* にそれぞれ画像データ [2, 3, 4, 2, 1, n] に対応した階調電圧 [*V 2*, *V 3*, *V 4*, *V 2*, *V 1*, *V n*] が供給される。

#### 【0070】

各信号線 *S 1*～*S 6* に階調電圧が印加される過程で、走査回路 5 から各走査線 *G 1*、*G* に 1 ライン期間ごとに順次走査パルスが出力される。1 ライン期間は時間 *t 0*～*t 2* および *t 2*～*t 4* のそれぞれの期間であり、時間 *t 0*～*t 2* の 1 ライン期間は走査線 *G 1* が “1” になり、時間 *t 2*～*t 4* の 1 ライン期間は走査線

G2が“1”になる。

#### 【0071】

走査線G1が“1”的ときに、走査線G1に接続された1行の画素TFT7ではソース電極ードレイン電極間は導通状態となり、遅くとも時間t1～t2の間に1行目の画素8に信号線S1～S6からの階調電圧が書き込まれる。

#### 【0072】

同様にして、時間t2～t4の間では、時間t3までに全ての信号線S1～S6にそれぞれ画像データ[2, 1, n, 4, 3, 1]に対応した階調電圧[V2, V1, Vn, V4, V3, V1]が供給され、2行目の画素8に、遅くとも時間t3～t4の間に信号線S1～S6からの階調電圧が書き込まれる。以上の動作を繰り返すことで、全ての表示領域6の画素8に目的の電圧が印加され、表示領域6の全体に画像を表示することができる。

#### 【0073】

画像表示装置を駆動するに際しては、デコーダ3の駆動周波数は、データ線Data-1およびData-2から入力される画像データの周波数と同じである。一方、スイッチ回路SWは1ライン期間に1回、トリガ線のトリガパルスにより駆動される。この場合、1ライン期間には、少なくとも2つのデータが入力されるので、デコーダ3の駆動周波数はスイッチ回路SWの駆動周波数の2倍以上になる。

#### 【0074】

ここで、画像表示装置を液晶表示装置として用いる場合、画素8に供給する電圧は1フィールドごとに極性が反転する交流電圧を用いる必要があり、この交流電圧を液晶に与えてその実効値の電圧で光透過率を変化させる必要がある。1フィールド期間ごとに極性が反転する交流電圧を画素に印加するに際しては、次の2つの方法のうちいずれかの方法を採用することができる。

#### 【0075】

交流化の第1の方法としては、図15に示すように、コモン電極30(図12のコモン電極30)に印加される電圧Vcを固定し、画素8の電圧を1フィールド期間ごとに反転させる方法である。V1は最高電圧で、Vnは最低電圧である

。画素8に高い交流電圧値 $V_{max}$ を印加する場合は、(1)のラインのように、1フィールド期間ごとに電圧 $V_1$ と電圧 $V_n$ をそれぞれ出力する。一方、画素8に低い交流電圧値 $V_{min}$ を印加する場合は、(2)のラインのように、1フィールド期間ごとに $V(n/2)$ と $V[(n/2)+1]$ をそれぞれ出力する。

#### 【0076】

この場合、デコーダ11、12は、図16の論理にしたがって動作することになる。すなわち、奇数番目のフィールド期間と偶数番目のフィールド期間で出力が $out-1 \sim out-(n/2)$ と、 $out-(n/2+1) \sim out-n$ の出力が切り替わる。また、この場合、nは画像表示装置の表示可能な階調数の2倍である。例えば、階調ビット数が6ビットの場合、階調数は64なので、 $n=128$ である。また階調電圧線に1フィールドごとに2値の電圧を交互に供給することにより交流化する方法がある。この場合は、nは画像表示装置が表示可能な階調数と同じである。例えば、階調ビット数が6ビットの場合、階調数は64なので、 $n=64$ である。

#### 【0077】

交流化の第2の方法としては、図17に示すように、コモン電圧（図12のコモン電極30に印加される電圧） $V_c$ を交流化する方法がある。この場合、階調電圧線の電圧範囲が狭くなり、回路の低電圧化、低消費電力化に都合が良い。 $V_1$ は最高電圧を示し、 $V_n$ は最低電圧を示す。画素の高い交流電圧値 $V_{max}$ を印加する場合は、(1)のラインのように、コモン電圧 $V_c$ が低い電圧であるフィールド期間ごとに電圧 $V_1$ を出力し、コモン電圧 $V_c$ が高い電圧であるフィールド期間ごとに電圧 $V_n$ をそれぞれ出力する。画素8に近い交流電圧値 $V_{max}$ を印加する場合は、(2)のラインのように、(1)のラインと逆の組合せで電圧が出力される。

#### 【0078】

階調数を8として入力データに対して階調電圧が非対象の場合には、図18に示すような特性の階調電圧を用いることができる。図18では、偶数番目のフィールド期間では8通り、奇数番目のフィールド期間では8通りの出力電圧があり、そのうち4つが同じ電圧を取り得るので、4つの電圧を奇数番目のフィールド

期間と偶数番目のフィールド期間で共用することができる。すなわち、各フィールド期間で電圧を共用しないときには18通りの電圧を必要とするのに対して、各フィールド期間で電圧V1、V5、V8、V12を共用することで、12通りの階調電圧を用いることで、階調電圧を発生させることができ、階調電圧線の数はn=12になる。この場合、デコーダ11、12は、図19に示す論理にしたがって動作することになる。例えば、奇数番目のフィールド期間では、階調1に対して電圧V1を選択するための信号が出力され、階調2に対しては電圧V5を出力するための信号が出力され、同様に、階調3、5、6、7、8に対して、電圧V7、V8、V9、V10、V11、V12を順次選択するための信号が出力される。

#### 【0079】

なお、階調数は任意の数でもあってもよく、奇数番目と偶数番目のフィールド期間で共用できる電圧の数により、必要な電圧の数、つまり階調電圧線の数nが決まり、最大で階調数の2倍、最小で階調数の1倍である。

#### 【0080】

次に、DA変換部4の回路レイアウト例を図20に示す。この回路レイアウト例は、スイッチ回路SWを紙面横方向に2回路分、紙面縦方向に4回路分を含む領域のみを記述している。階調電圧線LV1、LV2と、スイッチ駆動線D1-1、D1-2、D2-1、D2-2は同一の層に形成した金属配線で紙面横方向に沿って配線されている。スイッチ駆動線は高速な信号を伝え、階調電圧線は交流的に接地するが、配線長は紙面横方向に長く配線する必要があるため、紙面横方向の配線であるスイッチ駆動線と階調電圧線はアルミニウムあるいは銅で形成して抵抗を低くするのが好ましい。トリガ線Q1、Q2と出力線X1～X4は、TFTのゲート部を形成する金属配線と同一層の金属配線を用い、階調電圧線とスイッチ駆動線とが交差する紙面縦方向に配線されている。またスイッチ駆動線D1-1と階調電圧線LV1との間、階調電圧線LV1とスイッチ駆動線D1-2との間、スイッチ駆動線D2-1と階調電圧線LV2との間、階調電圧線LV2とスイッチ駆動線D2-2との間にそれぞれスイッチ回路SWが形成されている。各スイッチ回路SWには、2つのnチャネルTFT tr1とtr2を形成し

、金属配線、ゲート金属膜を用いて、図4に示す回路図にしたがって配線されている。TFT tr1とtr2はポリシリコン膜とゲート金属膜との交差部に形成されている。ポリシリコン膜はゲート金属膜との交差部近傍以外はリンがドープされ、nチャネルTFTになっている。コンデンサCmは階調電圧線の金属配線と、ゲート金属膜（階調電圧線とは異なる配線層に形成された電極）とをオーバーラップさせた領域に形成されている。

#### 【0081】

金属配線のレイアウトルールはスペース $4 \mu m$ 、線幅 $4 \mu m$ になっている。紙面横方向のスイッチ回路SWのピッチは $84 \mu m$ になっている。スイッチ回路SWの1ピッチは2画素分になるため、画素ピッチはその半分の $42 \mu m$ になり、画像表示装置のピッチは200画素/インチを超える高精細度にすることができる。すなわち、階調数が増加すると、スイッチ回路SWと階調電圧線、スイッチ駆動線が増加するが、本実施形態によれば、階調数の増加によっても出力線、トリガ線は増加しないため、このピッチは階調ビット数の増加に影響されることになる。

#### 【0082】

また本実施形態においては、多階調表示の画像表示装置であっても、階調数に関わらず、紙面縦方向の配線は、1信号線当たり1.5本（2本の信号線S1、S2に対して縦方向の配線は出力線X1、X2、トリガ線Q1の3本となり、縦方向の配線は、1信号線当たり1.5本となる。）と変わらないので、配線に必要なスペースは、例えば、レイアウトルールがスペース $4 \mu m$ 、ライン幅 $4 \mu m$ の場合、 $(4+4) \times 1.5 = 12 \mu m$ の幅で済むので、200画素/インチの画像表示装置でも、1ライン当たり $30 \mu m$ の回路作成スペースを持つことができる。したがって、画像表示装置をカラー縦ストライプ画素で十分に200画素/インチを超えるような高精細化を図ることができる。

#### 【0083】

また階調ビット数は6ビットの場合でも、信号線1列当たりのDA変換部4のトランジスタ数は $2 \times 64 = 125$ 個となり、少なくできる。DA変換部4の紙面縦方向の幅は $52 \mu m \times 64 = 3.584 mm$ になり、画像表示装置の非表示

領域の占有面積をより小さくすることができる。

#### 【0084】

またスイッチ駆動線の交差配線数は信号線2本当たり、図20の交差部41～43に示すように、3箇所であり、信号線1本当たりに換算しても1.5本である。すなわち交差する配線は出力配線2本とトリガ線1本だけである。さらに各階調電圧線の両側に2本のスイッチ駆動線を並行に配線しているため、スイッチ駆動線同士で互いに交差することはない。したがって、この交差配線数は階調数nが増加しても変わらない。したがって、多階調表示の画像表示装置であっても、交差配線、つまり交差配線容量を少なくすることができ、高速な信号が伝送されるスイッチ駆動線での電力の消費を少なくすることができる。

#### 【0085】

また本実施形態においては、デコーダ11、12にそれぞれ接続されるn本のスイッチ駆動線における状態の変化数は、最大で2、平均値は $2 \times (1 - (1/n))$ となる。なお、1/nは同じデータが発生する確率を示している。

#### 【0086】

このように、本実施形態では、最大値は階調ビット数2ビット以上で、平均値は階調ビット数4ビット以上で変化数は少なくなる。すなわち、デコーダ11、12によってそれぞれ单一のスイッチ駆動線にのみ“1”の信号を出力するよう正在するため、データの変化回数を少なくすることができる。

#### 【0087】

したがって、多階調のデータをデータバスでバイナリデータとして入力する従来の方式に比べ、本実施形態によれば、消費電力の最大値は2ビット以上で、平均値は4ビット以上となり、多階調な画像を表示する場合でも、消費電力を少なくすることができる。

#### 【0088】

また本実施形態によれば、デコーダ3を、図7に示すように、外部IC23として構成した場合、外部IC23と画像表示装置との間を接続するフレキシブルケーブルの寄生容量を駆動する消費電力も同様に低減することができ、フレキシブルケーブル24などの外部配線での高速な信号の消費電力も低減することができ

きる。

## 【0089】

次に、本発明の第2実施形態を図21にしたがって説明する。本実施形態は、絶縁基板51の非表示領域に、DA変換部4の代わりに、DA変換部54を設け、デコーダ3の代わりに、デコーダ53を設けたものであり、他の構成は図1に示すものと同様である。なお、図21では、信号線S1～S3に関連するのみが示されている。

## 【0090】

デコーダ53は、多階調の画像データがデータ線Dataに入力されたときに、n本のスイッチ駆動線D1～Dnうち1本のスイッチ駆動線に対して“1”的データ（スイッチ駆動信号）を出力し、その他のスイッチ駆動線に対しては、“0”的データを出力するように構成されている。

## 【0091】

DA変換部54は、n本の階調電圧線LV1～LVn、n本のスイッチ駆動線D1～Dn、トリガ線Q1～Q3、出力線X1～X3、接地線GND、パルス線LPを備えており、各スイッチ駆動線と並行に接地線GND、パルス線LP、階調電圧線LV1～LVnが配線され、これらの配線と交差する方向にトリガ線Q1～Q3と出力線X1～X3がそれぞれ並行に配線され、各線が互いに交差する交差点近傍の領域にそれぞれスイッチ回路SLが形成されている。

## 【0092】

スイッチ駆動線D1～Dnはデコーダ53の出力部に、トリガ線Q1～Q3はシフトレジスタ2の出力部に、出力線X1～X3は信号線S1～S3にそれぞれ接続されている。

## 【0093】

各スイッチ駆動線と各階調電圧線の配置の関係は、任意の自然数*i*≤nに対して、*i*番目の階調電圧線LV*i*に並行してスイッチ駆動線D*i*が配置されている。各階調電圧線LV1～LVnには、前記実施形態と同様に、表示階調に対応した階調電圧として、相異なる電圧V1～Vnが印加されている。接地線GNDにはデータ“0”に対応する低い電圧が印加されており、パルス線LPにはスイッ

チ回路SLでレベルシフト動作に必要なパルスが供給されている。

#### 【0094】

スイッチ回路SLは、nチャネルのTFTtr3～tr6およびコンデンサ（静電容量）C1で構成されている。このスイッチ回路SLはトリガ信号とスイッチ駆動線からのデータ（スイッチ駆動信号）に応答して指定の階調電圧線を選択するスイッチ手段としての機能を備えているとともに、スイッチ駆動線の電圧を増幅するレベルシフター（電圧レベル変換手段）としての機能を備えて構成されている。TFTtr3およびTFTtr5のゲート電極はトリガ線Q1に接続されており、トリガ線Q1からトリガパルス（トリガ信号）が入力されたときに、このトリガパルスに同期して、コンデンサC1の一端aにスイッチ駆動線D1の電圧をサンプリングし、コンデンサC1の一端bに接地線GNDの電圧をサンプリングする構成になっている。コンデンサC1の両端はTFTtr4のゲート電極とドレイン電極にそれぞれ接続されており、パルス線LPのパルスによってb点の電圧をレベルシフトする構成になっている。

#### 【0095】

一方、TFTtr6のソース電極とドレイン電極はそれぞれ階調電圧線LV1と出力線X1に接続されており、b点の電圧で階調電圧線LV1と出力線X1との間でON/OFF制御するスイッチを構成している。すなわち、TFTtr6は、b点に高い電圧が印加されているときはON（導通）し、低い電圧が印加されているときはOFF（非導通）になる。なお、各出力配線X1～X3、スイッチ駆動線D1～Dnの全ての交点にマトリクス状に配置されてスイッチ回路SLも同様に構成されている。

#### 【0096】

次に、スイッチ回路SLにおけるレベルシフト動作を図22にしたがって説明する。まず、スイッチ回路SLに接続されたトリガ線Q1に回路の電圧VDDのパルスが入力されると、前述したように、a点にはスイッチ駆動線D1をサンプリングした電圧が発生し、b点には接地線GNDをサンプリングした電圧である0Vが発生する。スイッチ駆動線の論理は“1”または“0”であり、“1”的電圧はVDDより小さく、最低TFTtr3のしきい値電圧よりも大きい電圧V

*s i g*であり、通常は3Vよりも小さい電圧である。このため、スイッチ駆動線の電圧が“1”的ときに、このスイッチ駆動線の電圧をサンプリングすると、a点の電圧は*V s i g*になり、スイッチ駆動線の電圧が“0”的ときにスイッチ駆動線をサンプリングすると、a点の電圧は0Vになる。サンプリング完了後にパルス線L Pに電圧V D Dのパルスを入力する。このとき、a点の電圧が*V s i g*の場合、T F T t r 4がONであるため、b点の電圧が上昇し、コンデンサC 1によってa点の電圧も上昇し、さらに、b点の電圧上昇を加速する。そして、最終的に、b点の電圧はV D D、a点の電圧は*V s i g + V D D*になって安定する。a点の電圧が0Vの場合には、T F T t r 4がOFFであるため、b点の電圧は0Vのままである。

#### 【0097】

以上の動作により、スイッチ回路S Lは振幅*V s i g*であったスイッチ駆動線の電圧を振幅V D Dの信号に変換することができる。このため、V D Dの電圧が高いときには、T F T t r 6では、より広い範囲の階調電圧線の電圧をON/OFF制御できることになる。

#### 【0098】

次に、画像表示時には、画像表示装置の各回路は、図23のように動作する。まず、デコーダ53の入力端子に多階調の画像データがデータ線D a t aに入力された場合、例えば、表示すべき横1行の画像データ#1～#3が左から右に順に[2, 4, 1]の場合、データ線D a t aから入力した画像データはデコーダ53でデコードされ、デコードされたときの論理にしたがって、スイッチ駆動線D 1～D nのうち1本のスイッチ駆動線に“1”的信号が出力され、他のスイッチ駆動線には“0”的信号が出力される。この画像データの入力に同期して、シフトレジスタ2からトリガ線Q 1～Q 3に順次トリガパルスが出力されると、トリガ線Q 1～Q 4に接続されたT F T t r 3、T F T t r 5がONになり、スイッチ回路S Lのうち、“1”的データを出力したスイッチ駆動線に接続されたスイッチ回路S Lに“1”的データが記憶され、他のスイッチ回路S Lには“0”的データが記憶され、これらのデータは再びサンプリングされるまで保持される。その間、“1”的データを記憶したスイッチ回路S LのT F T F t r 6がON

になり、階調電圧線V1～Vnのうち、“1”のデータを記憶したスイッチ回路SLに接続された1本の階調電圧線からの階調電圧が出力線に出力される。

#### 【0099】

各トリガ線Q1～Q3に出力されるトリガパルスの発生が完了したt1のあとに、パルス線LPにパルスが入力されると、“1”のデータを記憶しているスイッチ回路SLでは、前述したように、レベルシフト動作が実行され、全ての出力線X1～X3に階調電圧が発生する。したがって、全ての信号線S1～S3にそれぞれ画像データ[2, 4, 1]に対応した階調電圧[V2, V4, V1]が供給される。

#### 【0100】

各信号線S1～S3に階調電圧が供給される過程で、走査回路5から各走査線G1、G2に1ライン期間ごとに順次走査パルスが出力される。1ライン期間はt0～t2およびt2～t4のそれぞれの期間であり、時間t0～t2の1ライン期間には走査配線G1が“1”になり、時間t2～t4の1ライン期間は走査線G2が“1”になる。そして走査線G1が“1”的ときに、走査線G1に接続された画素TFT7ではソース電極ードレイン電極間は導通状態となり、遅くとも時間t2までに1行目の画素8に信号線S1～S3からの階調電圧が書き込まれる。

#### 【0101】

同様にして、時間t2～t4の1ライン期間では、時間t3～t4の間に全ての信号線S1～S3にそれぞれ画像データ[2, n, 3]に対応した階調電圧[V2, Vn, V3]が供給され、2行目の画素8に、遅くとも時間t4までに信号線S1～S3からの階調電圧が書き込まれる。以上の動作を繰り返すことで、全ての表示領域6の画素8全体に目的の電圧が印加され、画像を表示することができる。

#### 【0102】

本実施形態における画像表示装置を駆動するに際しては、デコーダ53の駆動周波数は、データ線Dataから入力される画像データの周波数と同じである。一方、スイッチ回路SLは1ライン期間に1回、トリガ線のトリガパルスによつ

て駆動される。また1ライン期間には少なくとも2つのデータが入力されるので、デコーダ53の駆動周波数はスイッチ回路SLの駆動周波数の2倍以上になる。

#### 【0103】

また本実施形態における画像表示装置を液晶表示装置として用いる場合、各画素8に供給する電圧として1フィールド期間ごとに極性が反転する交流電圧を用い、この交流電圧による実効値電圧を液晶に与えることで液晶の光透過率を変化させることができる。そして交流化を行うに際しては、前記実施形態と同様の方法を採用することができる。

#### 【0104】

次に、本実施形態におけるDA変換部54の回路レイアウト例を図24に示す。この回路レイアウト例は、スイッチ回路SLを紙面横方向に2回路分、紙面縦方向に2回路分含む領域のみを記述している。階調電圧線LV1、LV2と、スイッチ駆動線D1、D2、接地線GND、パルス線LPを同一の層に形成した金属配線で紙面横方向に配線されている。スイッチ駆動線は高速な信号を伝え、階調電圧線は交流的に接地されるが、配線長は紙面横方向に長く配線する必要があるため、紙面横方向の配線はアルミニウムあるいは銅で形成して抵抗を低くするのが好ましい。トリガ線Q1、Q2と出力線X1、X2は、TFTのゲート部を形成する金属配線と同一層の金属配線を用い、階調電圧線とスイッチ駆動線にそれぞれ交差するように紙面縦方向に配線されている。スイッチ駆動線D1と階調電圧線LV1との間、スイッチ駆動線D2と階調電圧線LV2との間にそれぞれスイッチ回路SLが形成されている。

#### 【0105】

スイッチ回路SLには4つのnチャネルTFTtr3～tr6を形成し、金属配線、ゲート金属膜を用いて、図21の回路図にしたがって配線している。TFTtr1とTFTtr2はポリシリコン膜とゲート金属膜との交差部に形成されている。ポリシリコン膜はゲート金属膜との交差点近傍の領域以外はリンがドープされ、nチャネルTFTになっている。コンデンサC1は金属配線とゲート金属膜とがオーバーラップする領域に形成されている。

## 【0106】

金属配線のレイアウトルールはスペース  $4 \mu m$ 、線幅  $4 \mu m$  に設定されている。紙面横方向のスイッチ回路 S L のピッチは  $64 \mu m$  になっている。したがって、回路レイアウト例で画像表示装置をカラー縦ストライプ画素で約 130 画素／インチの高精細度にすることが可能になる。この場合、階調数が増加するにしたがってスイッチ回路 S L と階調電圧線、スイッチ駆動線は増加するが、出力配線、トリガ線は増加しないため、このピッチは階調ビット数の増加には影響されない。

## 【0107】

すなわち、多階調表示の画像表示であっても、階調数によらず紙面縦方向の配線は 1 信号線当たり 2 本と一定で変わらない。このため配線に必要なスペースは、例えば、レイアウトルールがスペース  $4 \mu m$ 、ライン幅  $4 \mu m$  の場合、 $(4 + 4) \times 2$  本 =  $16 \mu m$  の幅で済み、 $42 \mu m$  よりも小さくなる。したがって、図 24 のレイアウト例では、約 130 画素／インチの精細度であるが、200 画素／インチを超える高精細度も実現可能である。

## 【0108】

また本実施形態におけるスイッチ駆動線の交差配線数は信号線 1 本当たり、図 24 の交差部 44、45 に示すように、2箇所である。交差する配線は出力線 2 本と、トリガ線 1 本である。さらに各階調電圧線の両側に 2 本のスイッチ駆動線を並行に設けているため、スイッチ駆動線同士で互いに交差することはない。

## 【0109】

さらに、接地線 GND、パルス線 LP などの電源配線や共通の信号線が増えた場合で、スイッチ駆動線と並行に配置することができたため、スイッチ駆動線の交差配線数を増やすことはない。したがって、交差配線数は階調数 n が増加しても変わらない。ゆえに、多階調表示の画像表示装置であっても、交差配線、つまり交差配線容量を少なくすることができ、高速な信号が伝送されるスイッチ駆動線での消費電力を少なくすることができます。

## 【0110】

また本実施形態においては、1つのデコーダ 53 に接続される n 本のスイッチ

駆動線におけるデータの変化回数は、最大2、平均値は $2 \times (1 - (1/n))$ となる。すなわち、本実施形態では、最大値は階調ビット数2ビット以上で、平均値は階調ビット数4ビット以上で変化数は少なくなる。

#### 【0111】

したがって多階調な画像データをデータバスでバイナリデータとして入力する従来方式に比べて、本実施形態によれば、消費電力の最大値は2ビット以上で、平均値は4ビット以上となり、多階調な画像を表示する場合でも消費電力を少なくすることができる。

#### 【0112】

さらに、デコーダ53を外部IC23として構成した場合、外部IC23と画像表示装置とを接続するフレキシブルケーブルでの寄生容量を駆動する消費電力も低減することができ、フレキシブルケーブルなどの外部配線での高速な信号の消費電力も低減することができる。

#### 【0113】

また、本実施形態によれば、スイッチ駆動線の“1”の論理電圧をTFTtr3のしきい値電圧まで下げる所以ができるので、スイッチ駆動線の信号電圧振幅を小さくすることができ、スイッチ駆動線における消費電力をより小さくすることができる。

#### 【0114】

次に、本発明の第3実施形態を図25にしたがって説明する。本実施形態は、絶縁基板61の非表示領域に、シフトレジスタ2の代わりにシフトレジスタ62、63を形成し、デコーダ3の代わりにデコーダ64、65を形成し、DA変換部4の代わりに、DA変換部66を形成したものであり、他の構成は図1のものと同様である。なお、本実施形態では、信号線S1～S4に関連するところのみを示している。

#### 【0115】

シフトレジスタ62、63は、第1実施形態と同様に、インバータ、クロックドインバータ、ANDゲートを用いて構成されており、トリガ線Q1、Q2、Q3、Q4に画像データの入力に同期してトリガパルスを順次出力するように構成

されている。

### 【0116】

デコーダ64は、図5に示すデコーダ11と同一のもので構成されており、デコーダ65は、図5に示すデコーダ12と同一のもので構成されており、多階調の画像データに応答して、スイッチ駆動線D1-1～Dn-1またはD1-2～Dn-2のうち1本のスイッチ駆動線に“1”のデータを出力し、他のスイッチ駆動線に“0”的データを出力するようになっている。そして各デコーダ64、65はDA変換部66を間に相対向して配置されている。また各デコーダ64、65としては、図7のように、外部IC23として構成することもできる。

### 【0117】

DA変換部66は、n本の階調電圧線LV1～LVn、 $2 \times n$ 本のスイッチ駆動線D1-1～Dn-1、D1-2～Dn-2、トリガ線Q1～Q4、出力線X1～X4を備えて構成されており、スイッチ駆動線D1-1～Dn-1はデコーダ64の出力部に、スイッチ駆動線D1-2～Dn-2はデコーダ65の出力部に、トリガ線Q1～Q4はシフトレジスタ62、63の出力部に、出力線X1～X4は信号線S1～S4にそれぞれ接続されている。

### 【0118】

スイッチ駆動線D1-1～Dn-1、D1-2～Dn-2は各階調電圧線LV1～LVnと並行に配置され、これらの配線と交差する方向にトリガ線Q1～Q4、出力線X1～X4が配置されている。そして各配線が交差する交差点近傍の領域にそれぞれスイッチ回路SWが形されている。階調電圧線LV1～LVnには、表示階調に対応した階調電圧として、相異なる電圧V1～Vnが印加されている。

### 【0119】

スイッチ回路SWは、第1実施形態と同様に、nチャネルのTFTtr1、TFTtr2、コンデンサCmで構成されている。ただし、出力線X1、X2に接続されたスイッチ回路SWはスイッチ駆動線D1-1～Dn-1に接続され、出力線X3、X4に接続されたスイッチ回路SWはスイッチ駆動線D1-2～Dn-2に接続されている。

## 【0120】

本実施形態においては、スイッチ駆動線を2つの領域に分けているが、階調電圧線は共通である。このため階調電圧の微小な差による画像のむらが発生するのを防止することができる。なお、スイッチ駆動線の領域を2つ以上に分けることもできる。

## 【0121】

次に、表示領域6に画像を表示するに際しては、画像表示装置の各回路は図26のように動作する。まず、デコーダ64、65の入力端子に多階調の画像データとして、データ線Data1から画面左半分の画像データが入力され、データ線Data-2から画面の右半分の画像データが入力された場合、例えば、表示すべき横1行の画像データ#1～#4が左から右の順に[2, 4, 3, 2]の場合、データ線Data-1からは、[2, 4]、データ線からData-2からは[3, 2]の順に画像データが入力される。これらの画像データはデコーダ65、65でそれぞれデコードされ、デコードされるたときの論理にしたがって、スイッチ駆動線D1-1～Dn-1のうち1本が“1”となり、スイッチ駆動線D1-2～Dn-2のうち1本が“1”になり、他のスイッチ駆動線は“0”になる。

## 【0122】

このとき、画像データの入力に同期して、シフトレジスタ62、63からはトリガ線Q1、Q2、トリガ線Q3、Q4に順次トリガパルスが出力される。各トリガ線にトリガパルスが順次出力されると、トリガパルスが入力されたスイッチ回路SWのうち、“1”的スイッチ駆動線に接続されたスイッチ回路SWに“1”的データが記憶され、“0”的スイッチ駆動線に接続された他の全てのスイッチ回路SWには“0”的データが記憶され、これらのデータは再びサンプリングされるまで保持されている。その間、“1”を記憶したスイッチ回路SWのTFTr2がONになり、階調電圧線V1～Vnのうち、“1”を記憶したスイッチ回路SWに接続された1本の階調電圧線に対応した階調電圧がそれぞれ出力線に出力される。

## 【0123】

すなわち、時間  $t_0$  から始まるトリガパルスにしたがって、出力線  $X_1 \sim X_4$  には順次階調電圧が出力され、この階調電圧は信号線  $S_1 \sim S_4$  に供給される。そして最終のトリガパルスがトリガ線  $Q_2$  に出力されてトリガパルスの発生が終了する時間  $t_1$  で全ての信号線  $S_1 \sim S_4$  にそれぞれ画像データ [2, 4, 3, 2] に対応した階調電圧 [ $V_2, V_4, V_3, V_2$ ] が供給される。

#### 【0124】

各信号線に階調電圧が供給される過程で、走査回路 5 から走査線  $G_1, G_2$  に順次走査パルスが 1 ライン期間ごとに出力される。1 ライン期間は時間  $t_0 \sim t_2$  および時間  $t_2 \sim t_4$  のそれぞれ期間であり、時間  $t_0 \sim t_2$  の 1 ライン期間には走査線  $G_1$  が “1” になり、時間  $t_2 \sim t_4$  の 1 ライン期間は走査線  $G_2$  が “1” になる。走査線  $G_1$  が “1” のときには、走査線  $G_1$  に接続された 1 行の画素 TFT 7 ではソース電極 - ドレイン電極間は導通状態となり、遅くとも、時間  $t_1 \sim t_2$  の間に 1 行目の画素 8 に信号線  $S_1 \sim S_4$  からの階調電圧が書き込まれる。

#### 【0125】

同様にして、時間  $t_2 \sim t_4$  の間では、時間  $t_3$  までに全ての信号線  $S_1 \sim S_6$  にそれぞれ画像データ [2, n, 1, 4] に対応した階調電圧 [ $V_2, V_n, V_1, V_4$ ] が供給され、2 行目の画素 8 に、遅くとも時間  $t_3 \sim t_4$  の間に信号線  $S_1 \sim S_4$  の階調電圧が書き込まれる。以上の動作を繰り返すことで、全ての表示領域 6 の画素 8 に目的の電圧が印加され、画像を表示することができる。

#### 【0126】

本実施形態における画像表示装置を駆動するに際しては、デコーダ 64、65 の周波数は、データ線  $D_{ta-1}$  および  $D_{ta-2}$  から入力される画像データの周波数と同じである。一方、スイッチ回路  $SW$  は 1 ライン期間に 1 回、トリガ線のトリガパルスによって駆動される。このため、1 ライン期間には少なくとも 2 つのデータが入力されるので、デコーダ 64、65 の駆動周波数はスイッチ回路  $SW$  の駆動周波数の 2 倍以上になる。

#### 【0127】

また本実施形態における画像表示装置を液晶表示装置として用いる場合、各画

素8に供給する電圧として1フィールド期間ごとに極性が反転する交流電圧を印加し、交流電圧の実効値電圧で液晶を駆動することで、液晶の光透過率が変化することになる。このときの交流化の方法は、前記第1実施形態と同様な方法を用いることができる。

#### 【0128】

また、本実施形態においては、出力配線X1と信号線S1は互いに直結しているが、図27に示すように、1本の出力線からの電圧を2本の信号線S1-1、S1-2に分配する分配手段としての分配回路36を配置することもできる。なお、出力線X2についても同様である。このような回路構成を採用することにより、DA変換部66の回路素子を削減することができる。ただし、1ライン期間に、図26の1ライン期間の2回分の動作を行う必要があるので、回路動作は2倍の速度になる。また2つ以上の信号線に分配することもできる。

#### 【0129】

本実施形態によれば、多階調表示の画像表示装置であっても、階調数によらず、紙面縦方向の配線は1信号線当たり2本と一定で変わらない。このため、配線に必要なスペースは、例えば、レイアウトルールがスペース $4\text{ }\mu\text{m}$ 、ライン幅が $4\text{ }\mu\text{m}$ の場合、 $(4+4)\times 2\text{ 本} = 16\text{ }\mu\text{m}$ の幅で済み、 $42\text{ }\mu\text{m}$ よりも小さくすることができる。したがって、本実施形態でも、200画素/インチを超える高い精細度の画像を実現することができる。

#### 【0130】

また本実施形態におけるスイッチ駆動線の交差配線数は第2実施形態と同様に、信号線1本当たり2箇所である。交差する配線は、出力配線2本とトリガ線1本だけである。また階調電圧線の両側に2本のスイッチ駆動線を並行に設けているため、スイッチ駆動線同士で互いに交差することはない。したがって、交差配線数は階調数nが増加しても変わらない。このため、多階調表示の画像表示装置であっても、交差配線、つまり交差配線容量が少なくなり、高速な信号は伝送されるスイッチ駆動線での消費電力を少なくすることができる。

#### 【0131】

また本実施形態においては、1つのデコーダ64、65にそれぞれ接続するn

本のスイッチ駆動線でのデータの変化数（状態の変化数）は、最大2、平均値は $2 \times (1 - (1/n))$ となる。すなわち、本実施形態では、最大値は階調ビット数2ビット以上で、平均値は階調ビット数4ビット以上で変化数を少なくすることができる。

#### 【0132】

したがって、多階調のデータをデータバスでバイナリデータとして入力する従来方式に比べ、本実施形態によれば、消費電力の最大値は2ビット以上、平均値は4ビット以上となり、多階調な画像を表示する画像表示装置でも消費電力を少なくすることができる。

#### 【0133】

さらに、デコーダ64、65を外部IC23として構成した場合、外部ICと画像表示装置とを接続するフレキシブルケーブルの寄生容量を駆動する消費電力も同様に低減することができ、フレキシブルケーブルなど外部配線での高速な信号の消費電力を低減することができる。

#### 【0134】

##### 【発明の効果】

以上説明したように、本発明によれば、高精細で多階調な画像を表示するための表示領域に対して非表示領域の占有面積をより小さくすることができる。

##### 【図面の簡単な説明】

##### 【図1】

本発明の第1実施形態を示す画像表示装置の要部構成図である。

##### 【図2】

複数の電圧源によって階調電圧を発生する方法を説明するための図である。

##### 【図3】

ラダー抵抗を用いて階調電圧を発生する方法を説明するための図である。

##### 【図4】

本発明に係る画像表示装置に用いられるスイッチ回路の他の実施形態を示す回路図である。

##### 【図5】

本発明に係る画像表示装置に用いられるデコーダのブロック構成図である。

【図6】

図5に示すデコーダの論理を説明するための図である。

【図7】

図1に示すデコーダを外部ICとして用いたときのブロック構成図である。

【図8】

本発明に係る画像表示装置のシフトレジスタの回路構成図である。

【図9】

図8に示すシフトレジスタの構成要素を説明するための図である。

【図10】

図8に示すシフトレジスタの動作を説明するためのタイムチャートである。

【図11】

本発明に係る画像表示装置に用いるスイッチ回路の他の実施形態を示す回路構成図である。

【図12】

本発明に係る画像表示装置を液晶表示装置として用いた場合の画素の構成図である。

【図13】

本発明に係る画像表示装置を自発光型表示装置として用いた場合の画素の構成図である。

【図14】

本発明に係る画像表示装置の動作を説明するためのタイムチャートである。

【図15】

本発明に係る画像表示装置を液晶表示装置として用いるときの交流化方法を説明するための図である。

【図16】

本発明に係る画像表示装置を液晶表示装置として用いる場合のデコーダの論理を説明するための図である。

【図17】

本発明に係る画像表示装置を液晶表示装置として用いる場合の他の交流化方法を説明するための図である。

【図18】

本発明に係る画像表示装置を液晶表示装置として用いる場合の階調と電圧との関係を説明するための図である。

【図19】

本発明に係る画像表示装置を液晶表示装置として用いる場合のデコーダの論理を説明するための図である。

【図20】

本発明に係る画像表示装置のDA変換部の回路レイアウトを示す図である。

【図21】

本発明に係る画像表示装置の第2実施形態を示す要部構成図である。

【図22】

図21に示す装置に用いるスイッチ回路のレベル変換動作を説明するための図である。

【図23】

図21に示す装置の動作を説明するためのタイムチャートである。

【図24】

図21に示す装置のDA変換部の回路レイアウトを説明するための図である。

【図25】

本発明に係る画像表示装置の第3実施形態を示す要部構成図である。

【図26】

図25に示す装置の動作を説明するためのタイムチャートである。

【図27】

本発明に係る画像表示装置の分配回路を示す回路構成図である。

【符号の説明】

- 1 絶縁基板
- 2 シフトレジスタ
- 3 デコーダ

4 DA変換部

5 走査回路

6 表示領域

7 画素 TFT

8 画素

Q1～Q3 トリガ線

LV1～LVn 階調電圧線

D1-1～Dn-1、D1-2～Dn-2 スイッチ駆動線

X1～X6 出力線

S1～S6 信号線

G1、G2 走査線

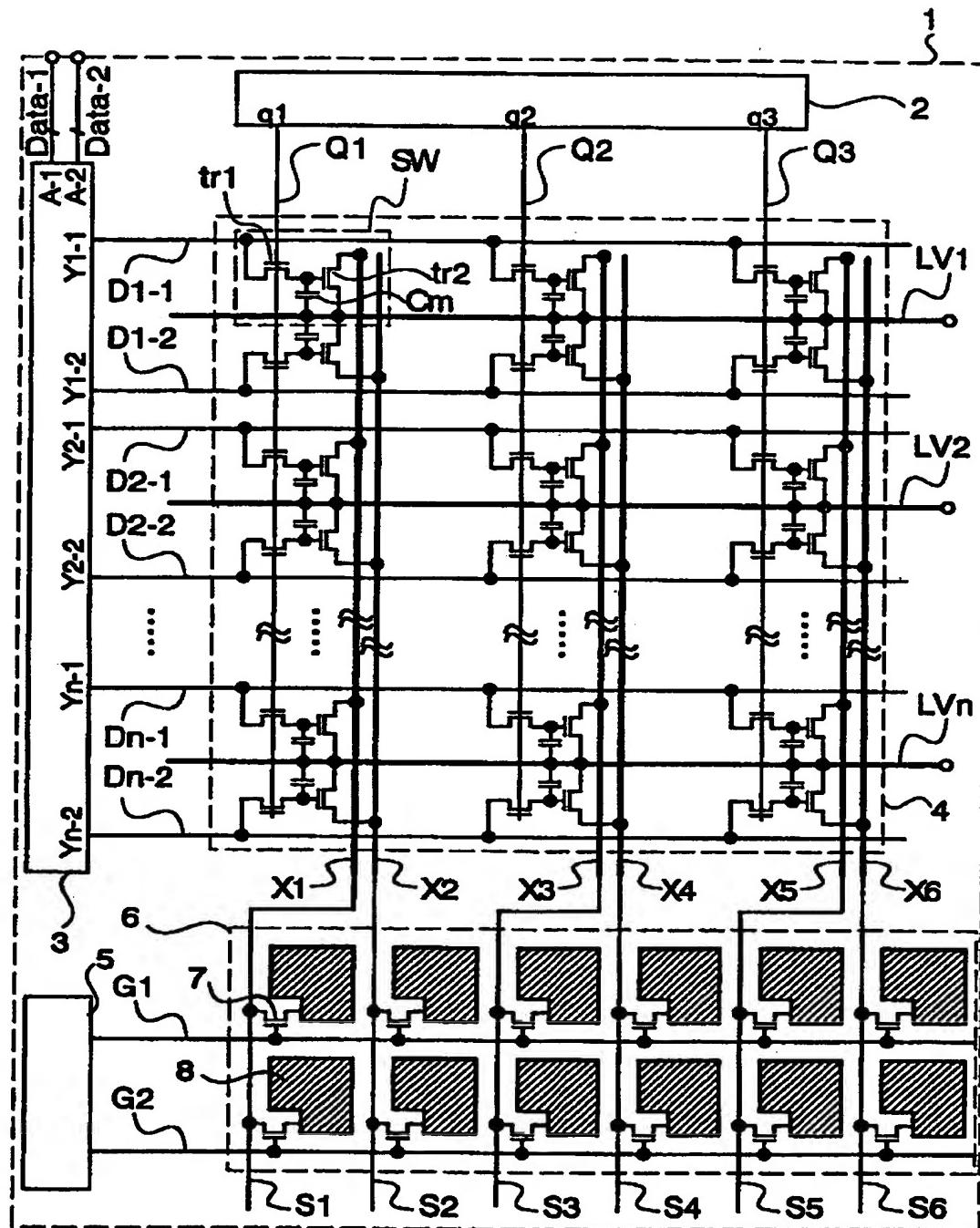
SW スイッチ回路

tr1、tr2 nチャネルTFT

Cm コンデンサ

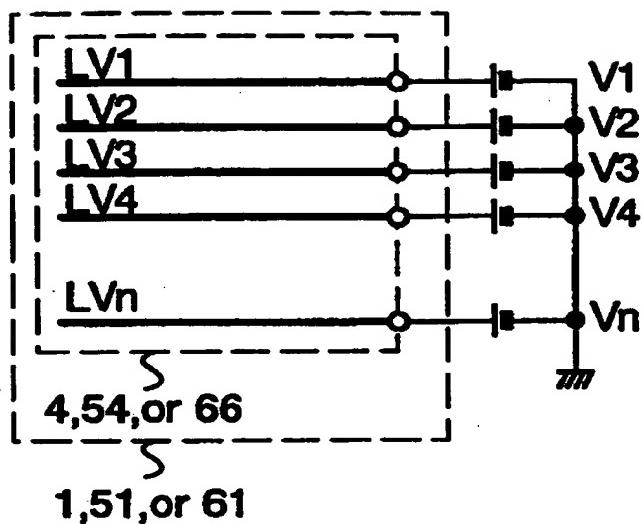
【書類名】 図面

【図1】

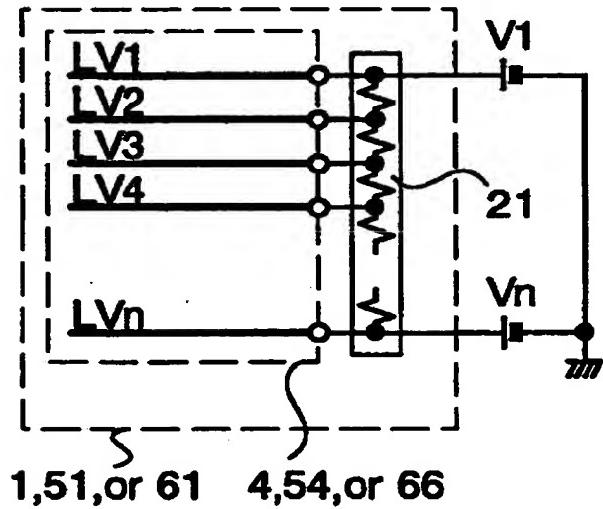


- |           |           |
|-----------|-----------|
| 1:絶縁基板    | 6:表示領域    |
| 2:シフトレジスタ | 7:画素TFT   |
| 3:デコーダ    | 8:画素      |
| 4:DA変換部   | SW:スイッチ回路 |
| 5:走査回路    |           |

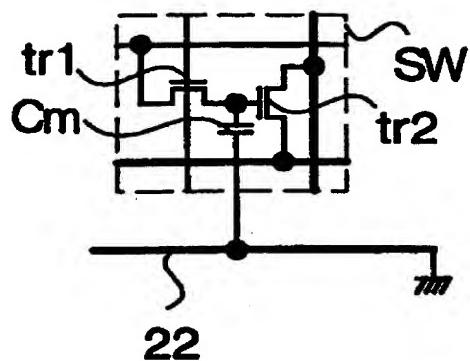
【図2】



【図3】

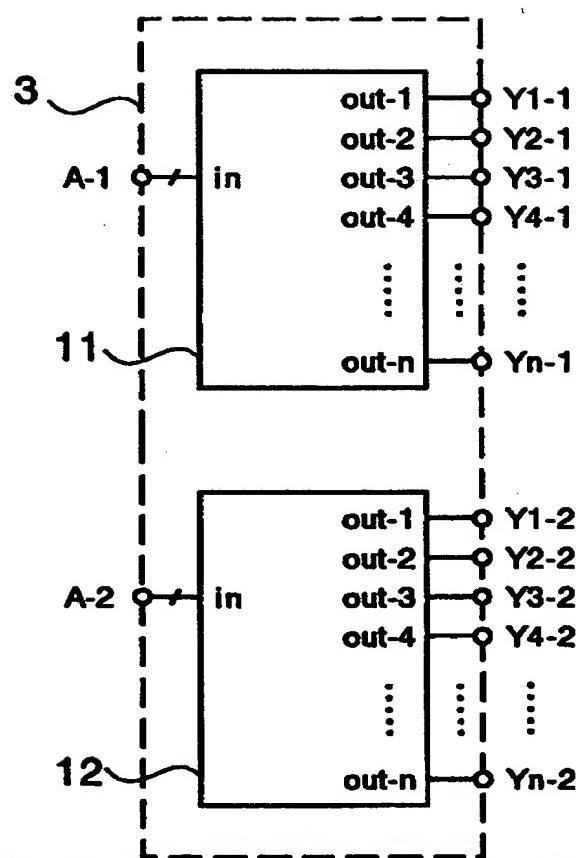


【図4】



22

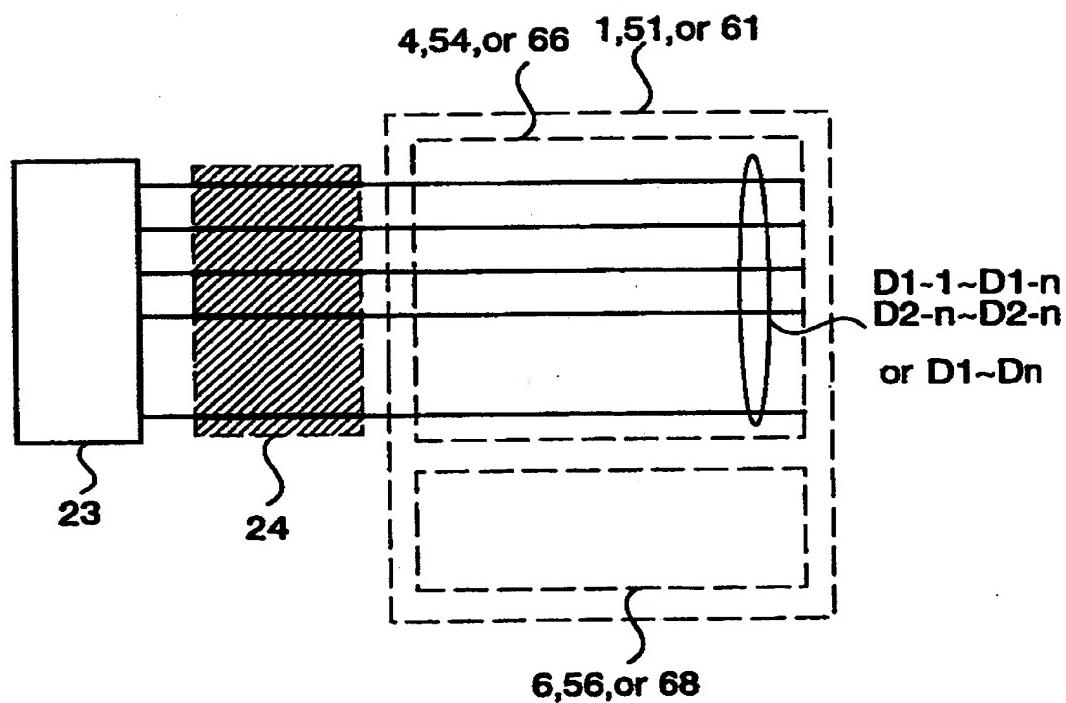
【図5】



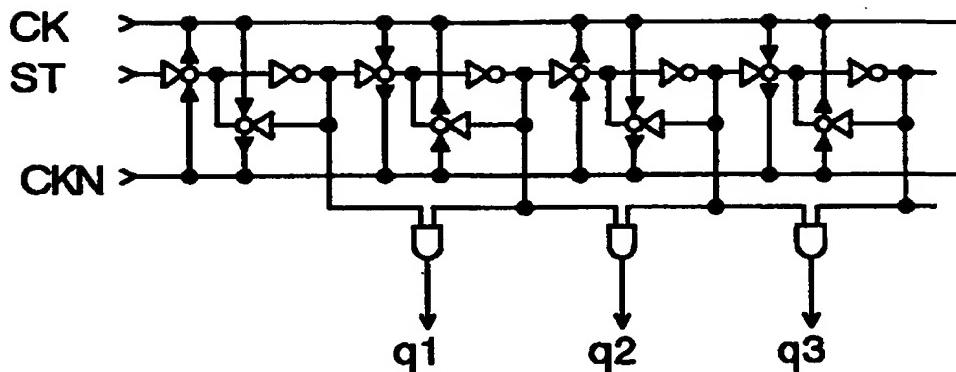
【図6】

in	out-1	out-2	out-3	out-4	out-5	.....	out-n
1	1	0	0	0	0	.....	0
2	0	1	0	0	0	.....	0
3	0	0	1	0	0	.....	0
4	0	0	0	1	0	.....	0
5	0	0	0	0	1	.....	0
...	...	...	...	...	...	...	...
n	0	0	0	0	0	.....	1

【図7】

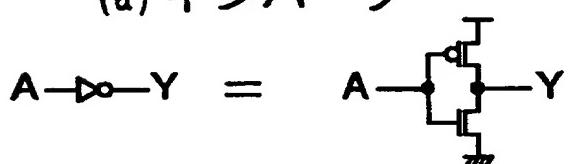


【図8】

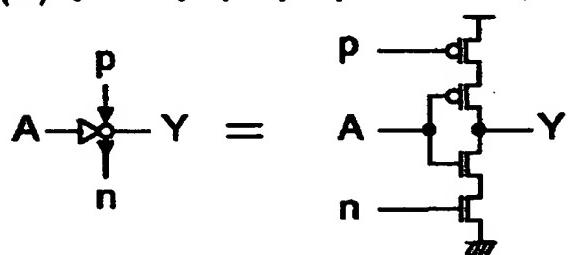


【図9】

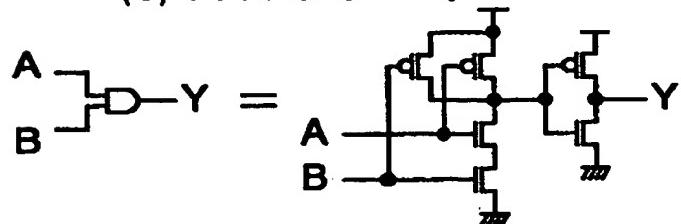
(a) インバータ



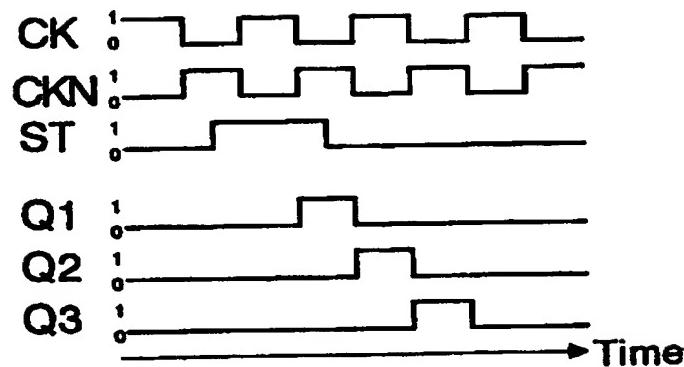
(b) クロックドインバータ



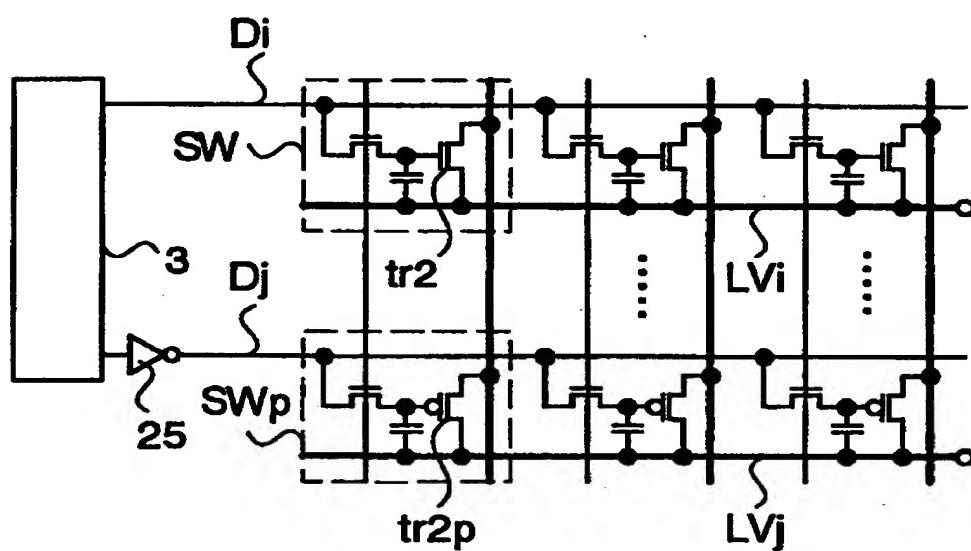
(c) ANDゲート



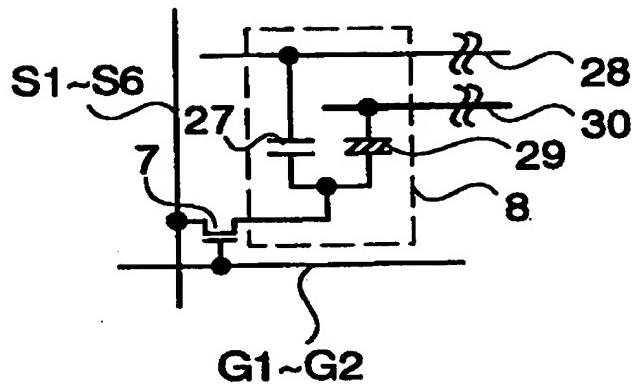
【図10】



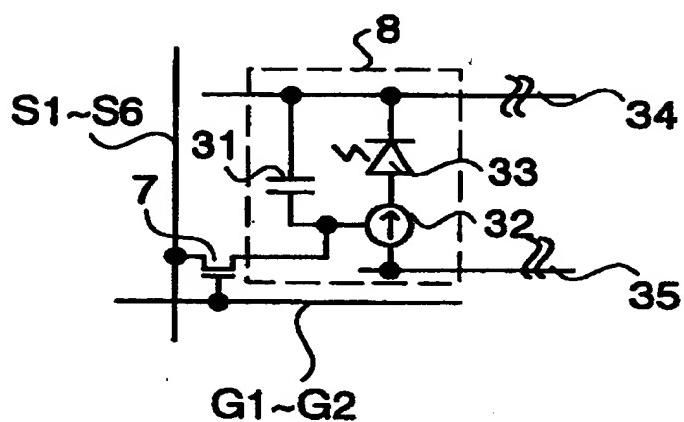
【図11】



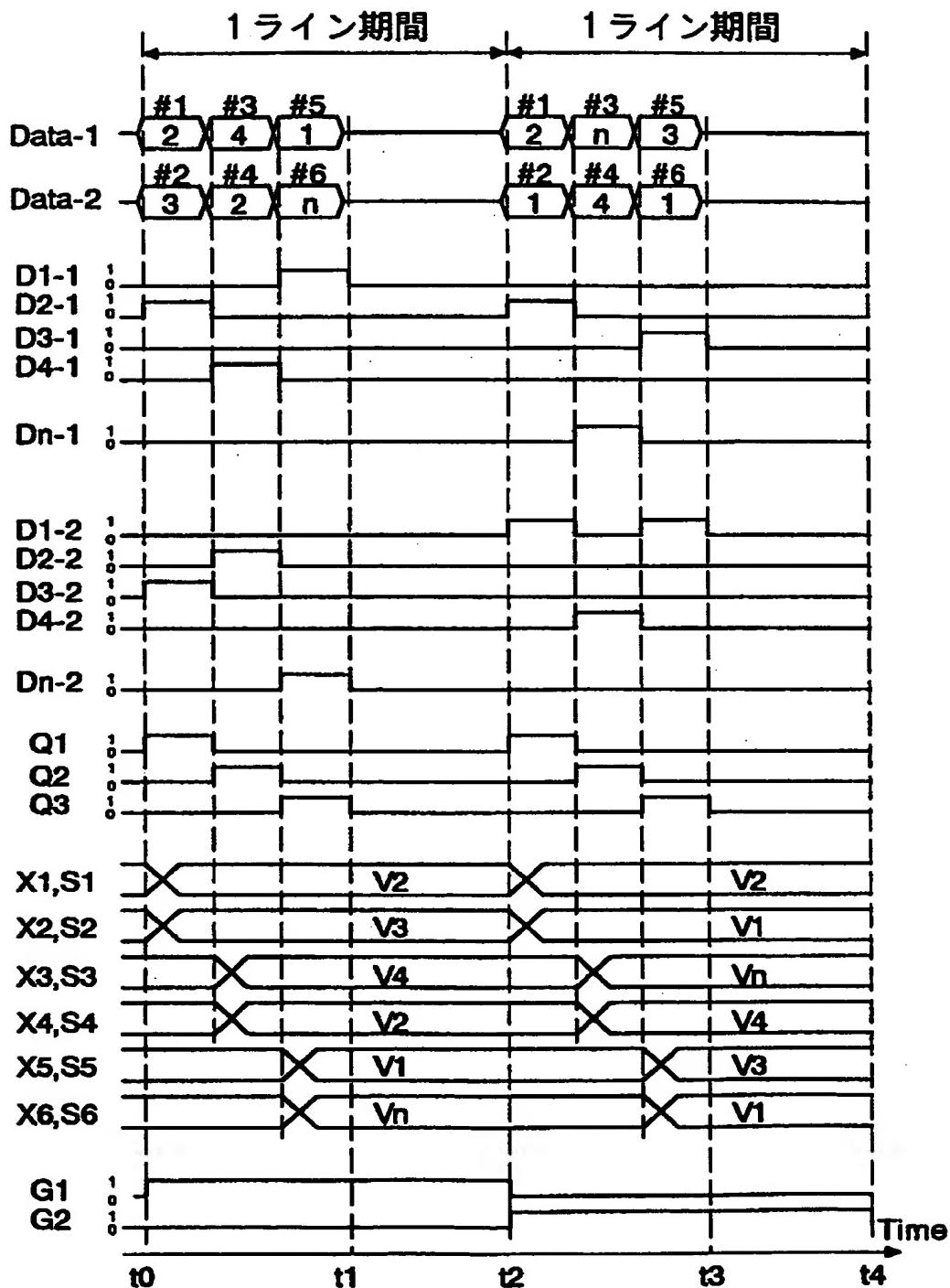
【図12】



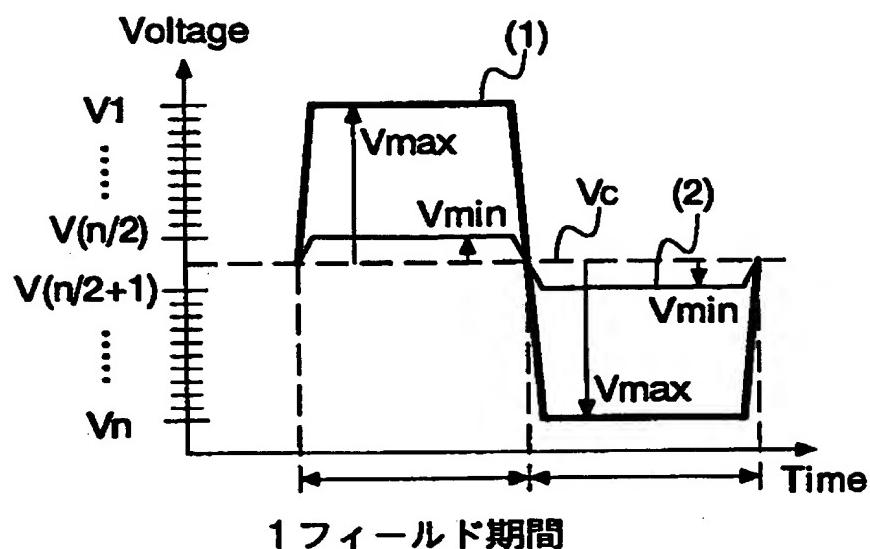
【図13】



【図14】



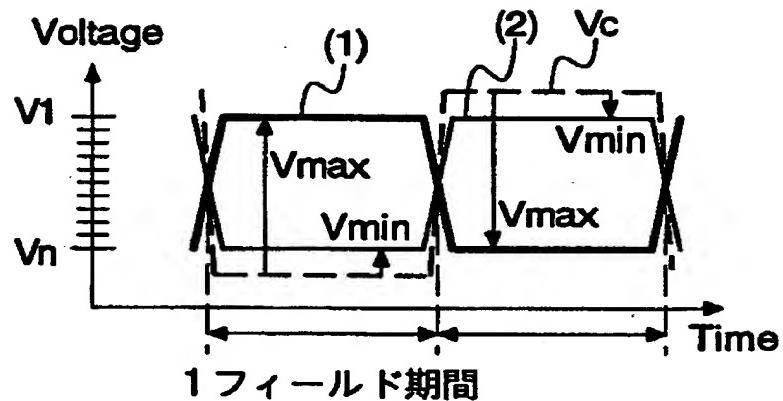
【図15】



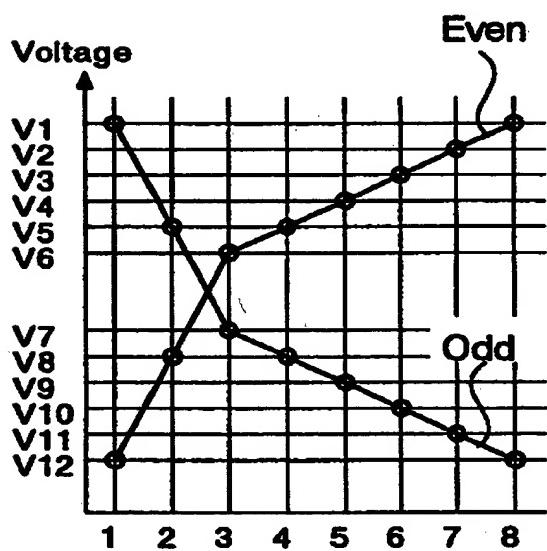
【図16】

	In	out-1	out-2	out-3	.....	out-n	out-(n/2+1)	.....	out-(n-2)	out-(n-1)	out-n	
Odd	1	1	0	0	.....	0	All 0					
	2	0	1	0	.....	0						
	3	0	0	1	.....	0						
	...	...	...	...	...	...						
	n/2	0	0	0	.....	1						
	1	All 0						0	.....	0	0	1
Even	2							0	.....	0	1	0
	3							0	.....	1	0	0
	...							...	...	...	...	...
	n/2							1	.....	0	0	0

【図17】



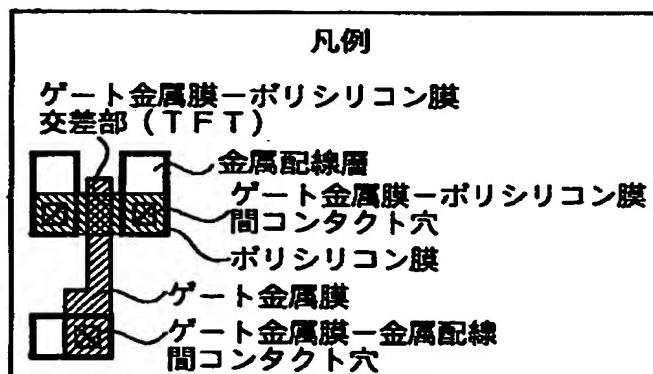
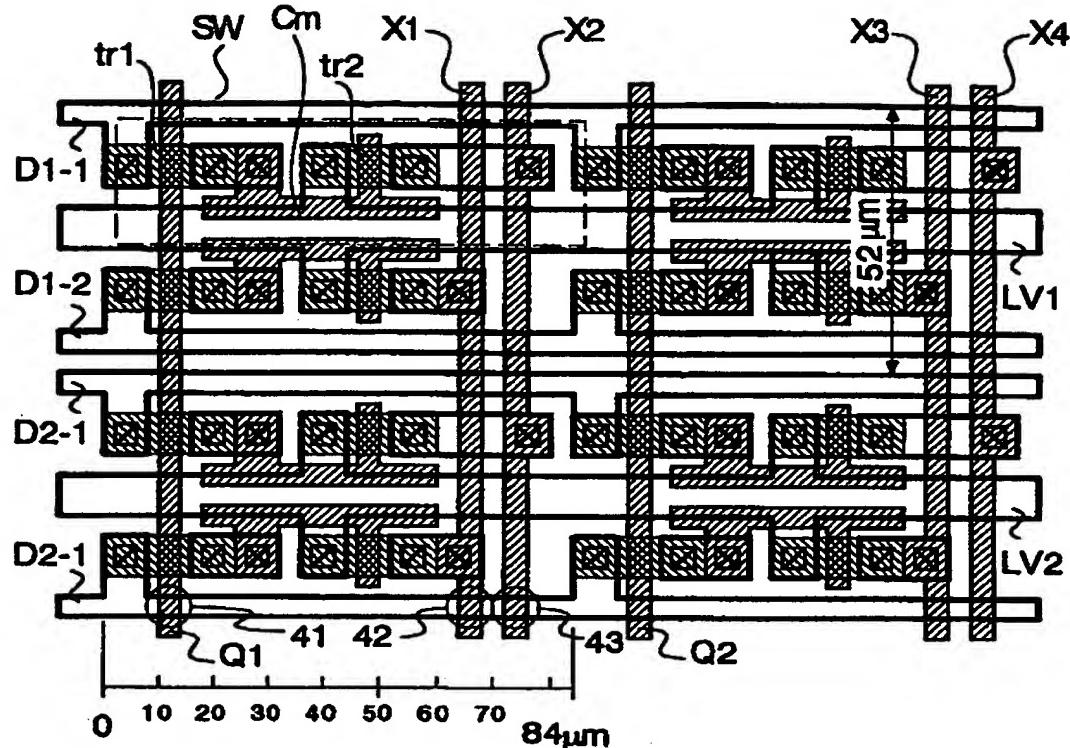
【図18】



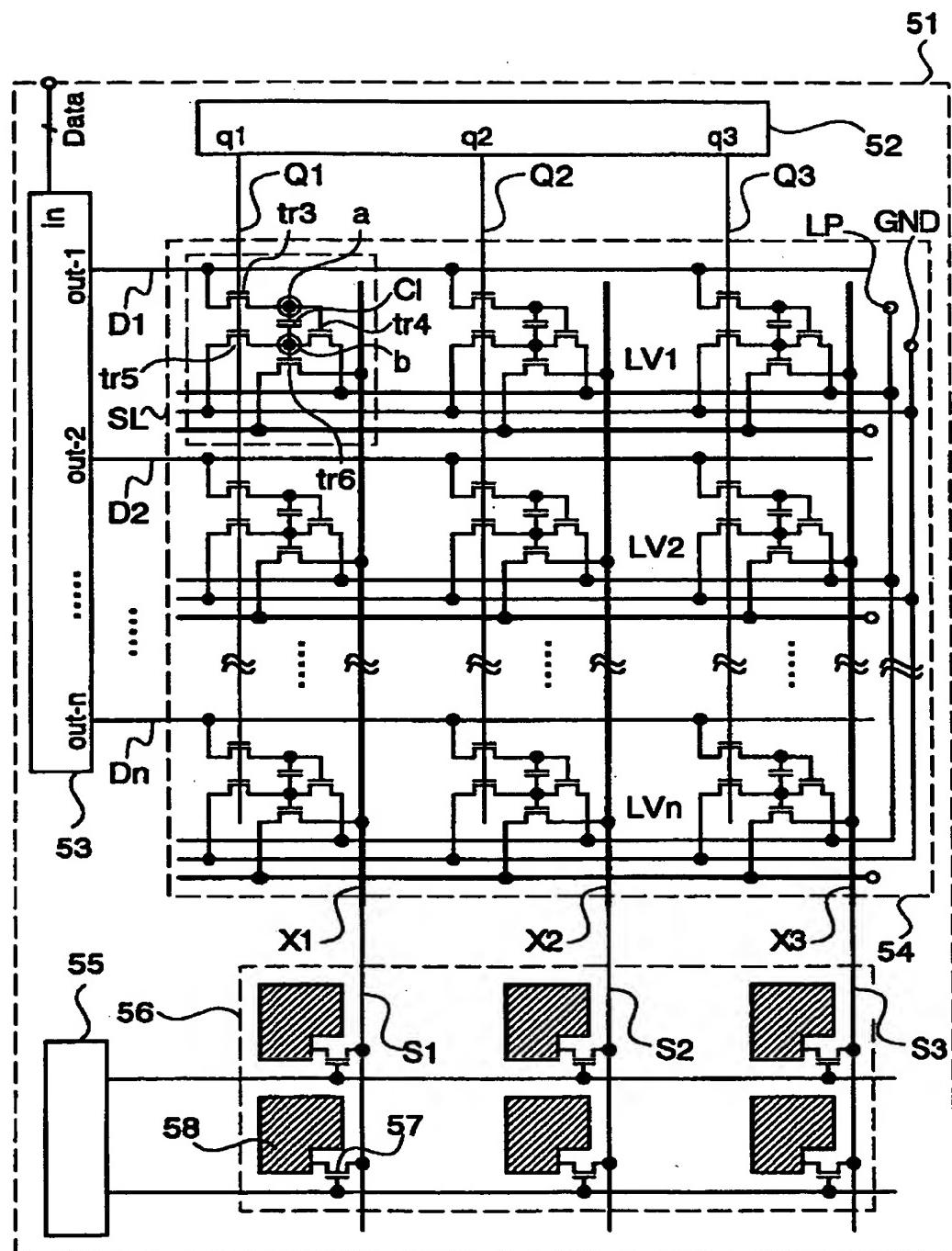
【図19】

	<b>in</b>	<b>out-1</b>	<b>out-2</b>	<b>out-3</b>	<b>out-4</b>	<b>out-5</b>	<b>out-6</b>	<b>out-7</b>	<b>out-8</b>	<b>out-9</b>	<b>out-10</b>	<b>out-11</b>	<b>out-12</b>
<b>Odd</b>	1	1	0	0	0	0	0	0	0	0	0	0	0
	2	0	0	0	0	1	0	0	0	0	0	0	0
	3	0	0	0	0	0	0	1	0	0	0	0	0
	4	0	0	0	0	0	0	0	1	0	0	0	0
	5	0	0	0	0	0	0	0	0	1	0	0	0
	6	0	0	0	0	0	0	0	0	0	0	1	0
	7	0	0	0	0	0	0	0	0	0	0	1	0
	8	0	0	0	0	0	0	0	0	0	0	0	1
<b>Even</b>	1	0	0	0	0	0	0	0	0	0	0	0	1
	2	0	0	0	0	0	0	0	1	0	0	0	0
	3	0	0	0	0	0	1	0	0	0	0	0	0
	4	0	0	0	0	1	0	0	0	0	0	0	0
	5	0	0	0	1	0	0	0	0	0	0	0	0
	6	0	0	1	0	0	0	0	0	0	0	0	0
	7	0	1	0	0	0	0	0	0	0	0	0	0
	8	1	0	0	0	0	0	0	0	0	0	0	0

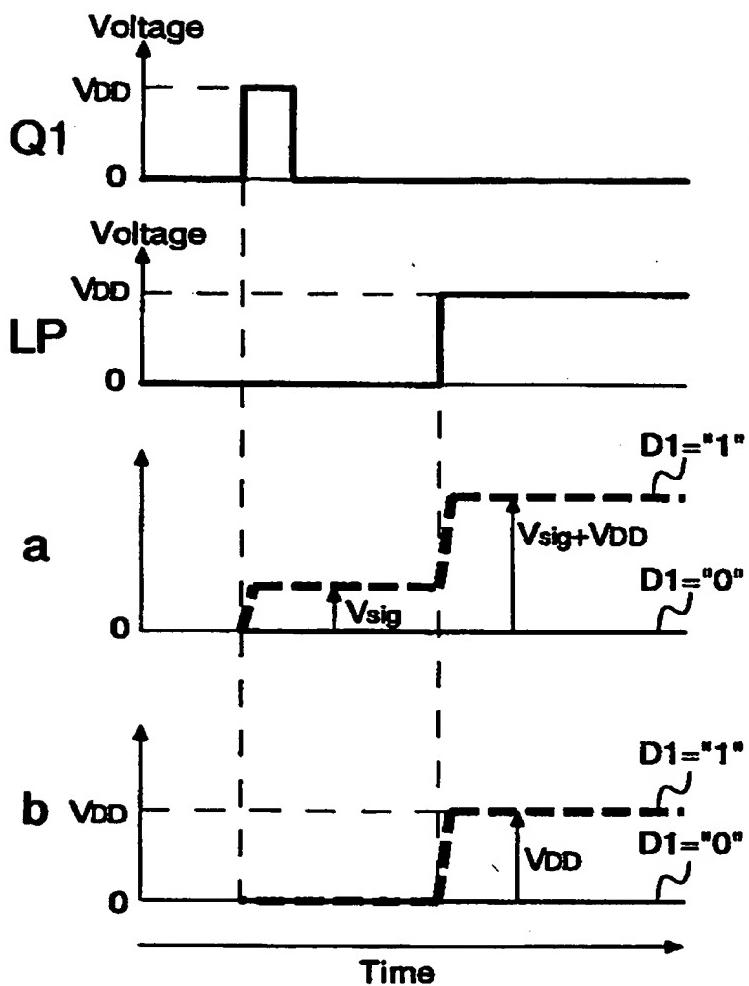
【図20】



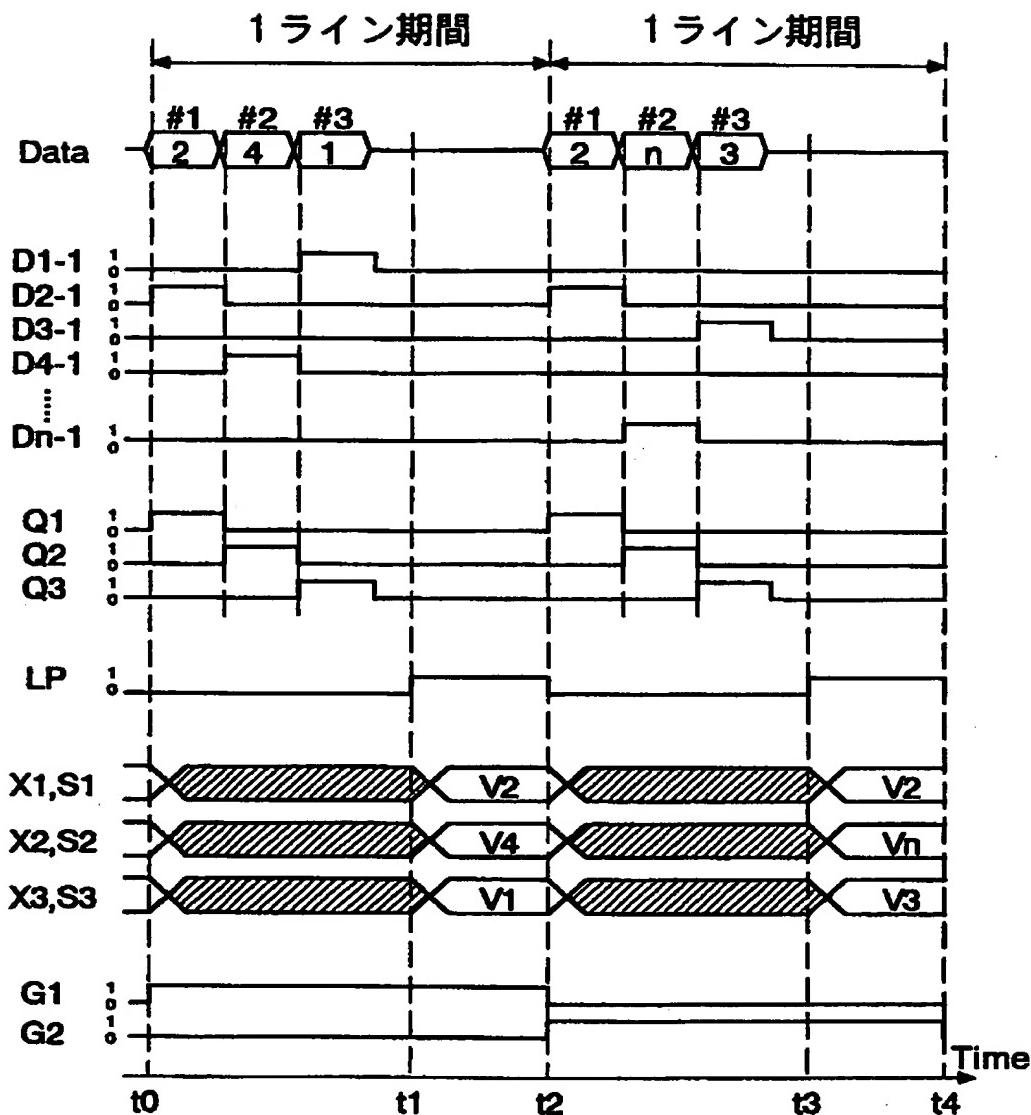
【図21】



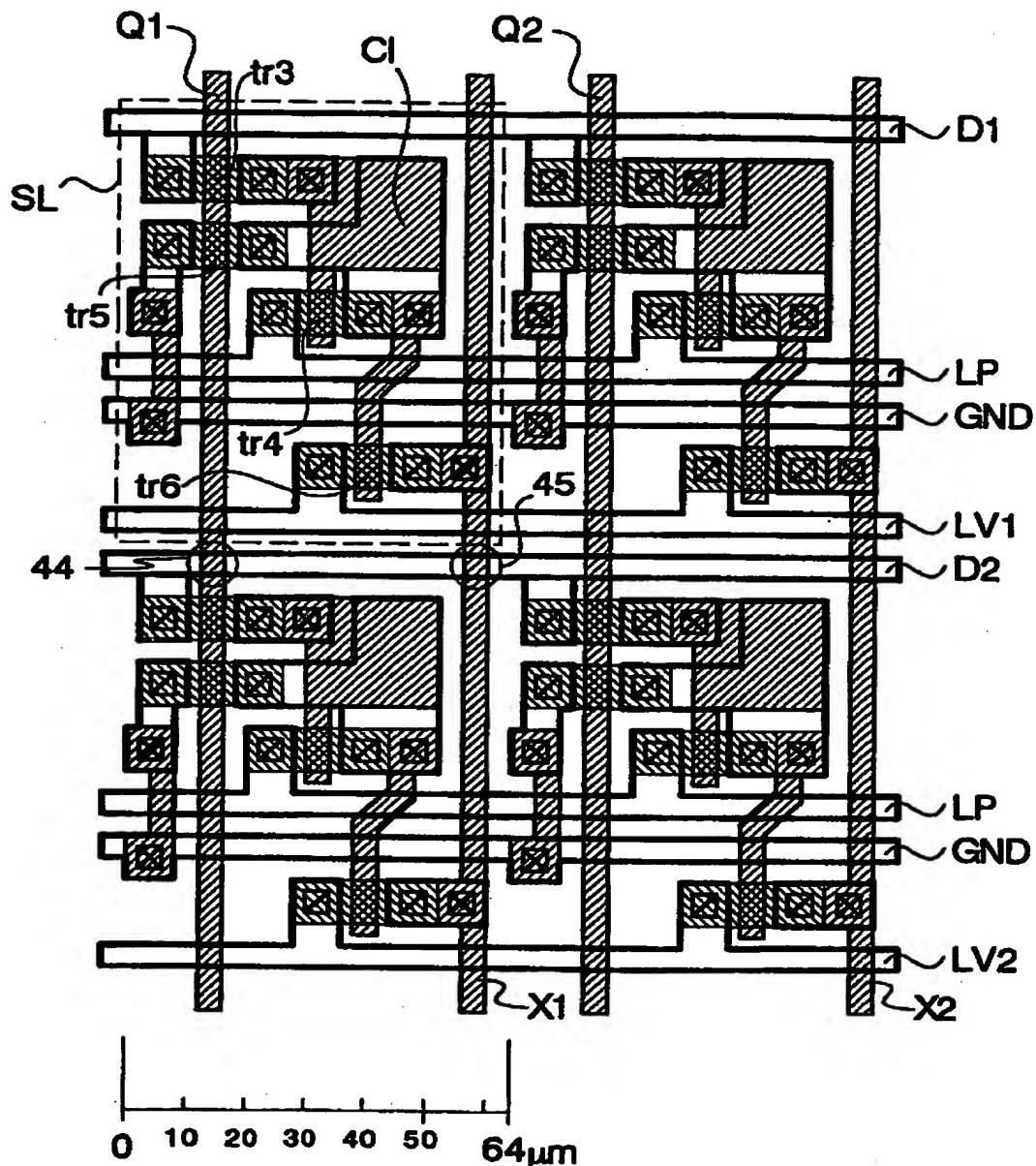
【図22】



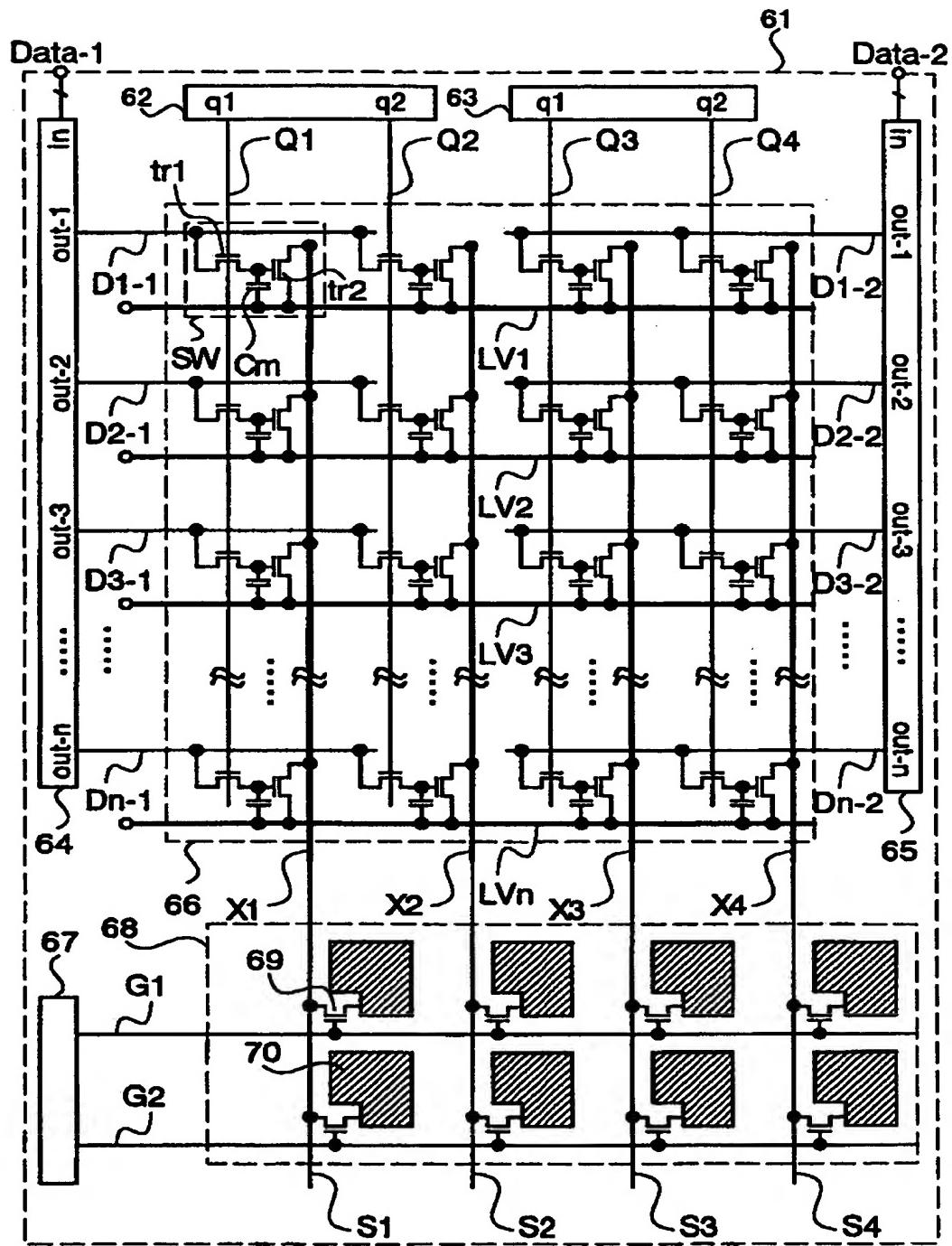
【図23】



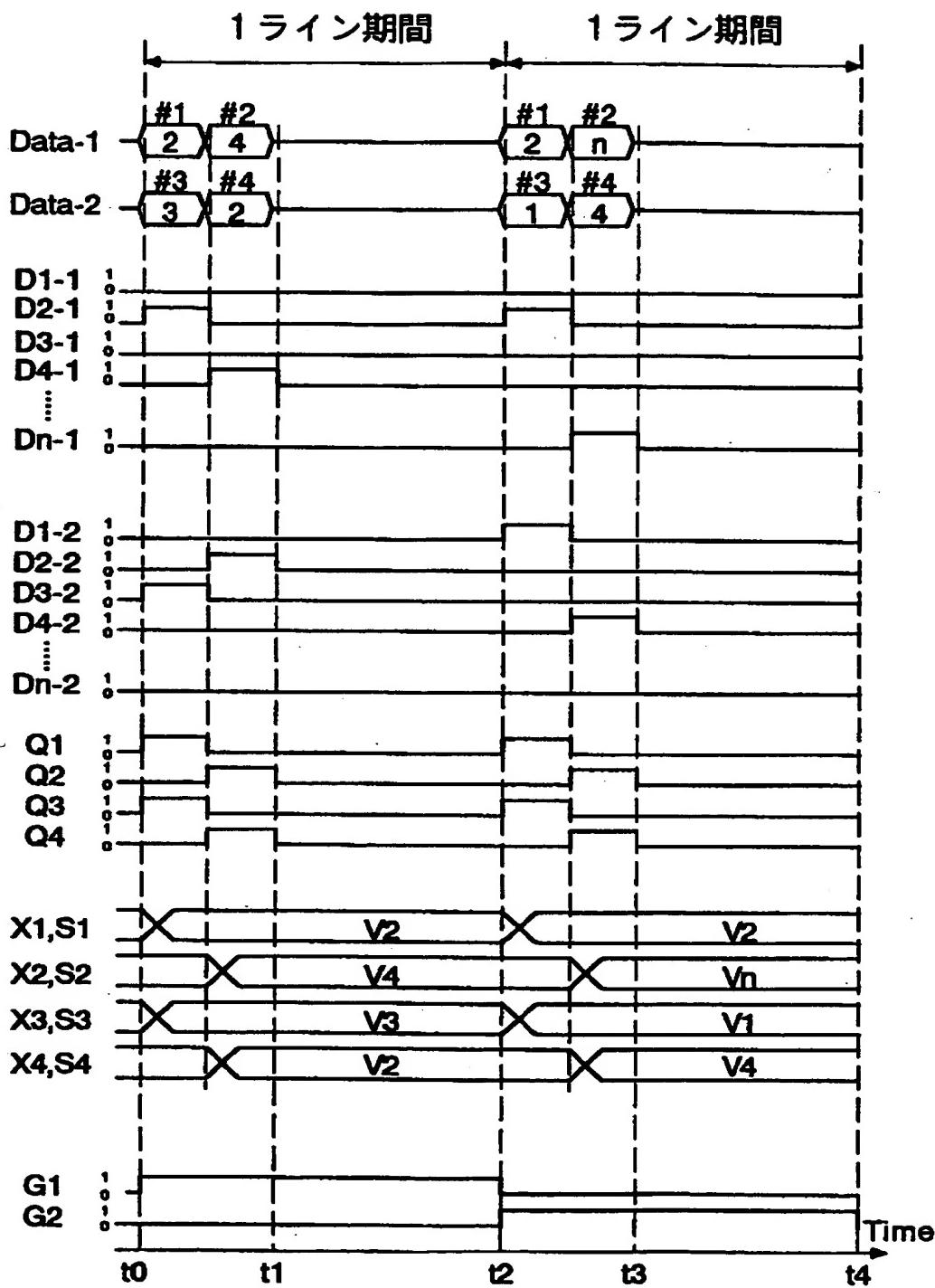
【図24】



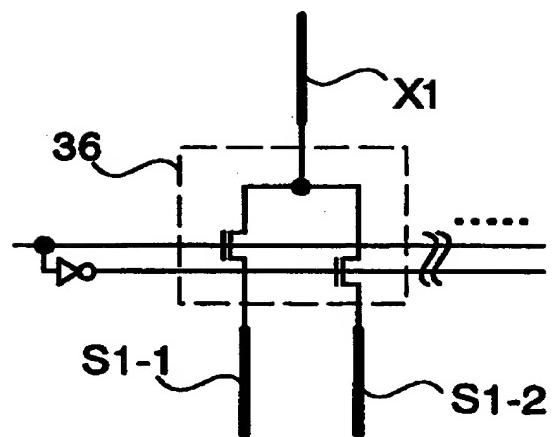
【図25】



【図26】



【図27】



【書類名】 要約書

【要約】

【課題】 表示領域に対して非表示領域の占有面積をより小さくすること。

【解決手段】 信号線 S 1 ~ S 6 に出力線 X 1 ~ X 6 を接続し、各出力線 X 1 ~ X 6 と交差する方向に階調電圧線 L V 1 ~ L V n を配線し、1 本の階調電圧線に対して、2 本のスイッチ駆動線 D 1 - 1、D 1 - 2 を配線し、出力線 X 1 ~ X 6 と並行にトリガ線 Q 1 ~ Q 3 を配線し、各配線が交差する交差点近傍にスイッチ回路 SW を設け、多階調の画像データを入力するデコーダ 3 から 1 本のスイッチ駆動線にのみ “1” のデータを出力し、他のスイッチ駆動線には “0” のデータを出力し、トリガ線 Q 1 ~ Q 3 に順次トリガパルスを出力し、スイッチ回路 SW のうち、“1” のスイッチ駆動線に接続されたスイッチ回路に “1” のデータを記憶し、“1” のデータが記憶されたスイッチ回路に接続された階調電圧線からの階調電圧を出力線を介して信号線 S 1 ~ S 6 に順次出力する。

【選択図】 図 1

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所